تصميم رقمي متقدم

Advanced Digital Design

Dr.-Eng. Samer Sulaiman

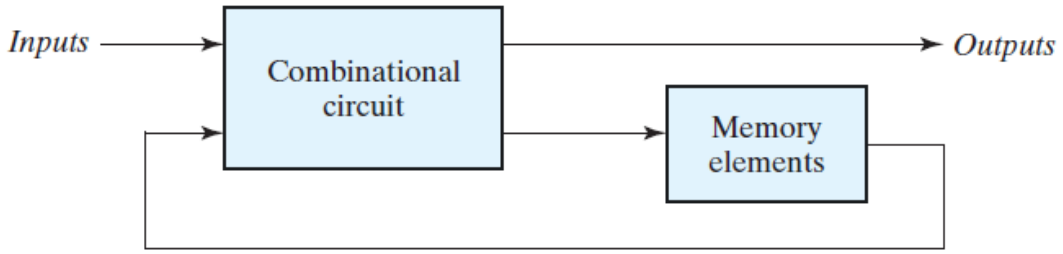
2021-2022

مفردات المنهاج

- أساسيات التصميم الرقمي
- عناصروتقنيات التصميم الرقمي التو افقي والتعاقبي (المتسلسل)
- نمذجة التصميم الرقمي باستعمال لغة توصيف الكيان الصلب VHDL
- المحاكاة الوظيفية والزمنية للأنظمة الرقمية

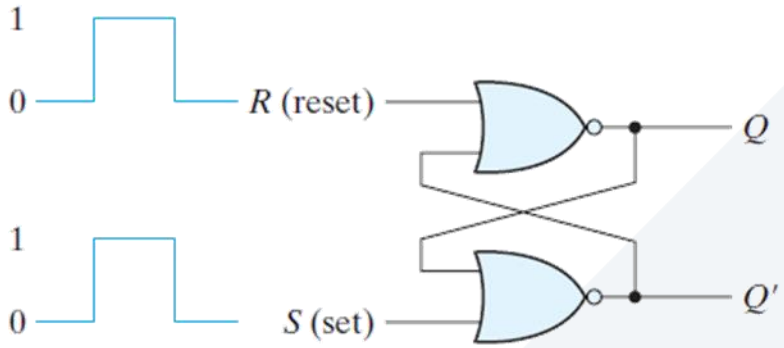
عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - الدارات المنطقية التو افقية Logic Circuits Combinational
    - يعتمد فيها الخرج في أي لحظة زمنية على الدخل الموجود في تلك اللحظة
    - وحدة البناء الأساسية فيها هي البو ابات المنطقية Logic Gates
  - الدارات المنطقية التعاقبية Sequential Logic Circuits
    - يعتمد فيها الخرج في أي لحظة زمنية على الدخل الموجودة في تلك اللحظة، وعلى الخرج السابق للدارة
    - يتميز بوجود ذاكرة
      - توجد لديها قدرة تخزينية تأتي من التغذية العكسية Feedback حيث أن خرج الدارة يتم أخذه عبر هذه التغذية العكسية وإدخاله إلى الدارة مرة أخرى مع الدخل
    - وحدة البناء الأساسية فيها هي القلاب Flip-Flop



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

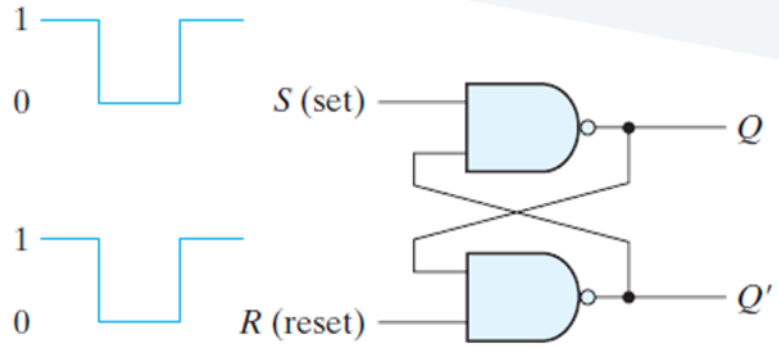
- **الدارات المنطقية التعاقبية Sequential Logic Circuits:**
  - **الماسكات Latch**
    - هو نوع من عناصر التخزين ثنائية الاستقرار والتي عادة ما توضع في تصنيف منفصل عن القلابات،
    - تشبه القلابات، لأنها عنصر ثنائي الاستقرار يمكن وضعه في إحدى حالتي الاستقرار بواسطة نظام التغذية العكسية Feedback
    - والفرق الرئيس بين الماسكات والقلابات هو الطريقة المستخدمة لتغيير حالتي الاستقرار فقط.
    - العمل الأساسي للماسك هو عبارة عن دارة منطقية تعمل كعنصر ذاكرة
      - ونقصد به العنصر القادر على اختزان قيمة منطقية ما واحد "1" أو صفر "0" أي خانة واحدة لفترة زمنية تستمر طالما أن التيار الكهربائي لم ينقطع عن الدارة، أو لم يتم تغيير هذه القيمة خارجياً،
    - وتتكون دائرة الماسك في معظم الأحيان من:
      - بوابتي NAND في حال كان يعمل على المستوى المنطقي المنخفض LOW
      - بوابتي NOR في حال كان يعمل على المستوى المنطقي المرتفع HIGH



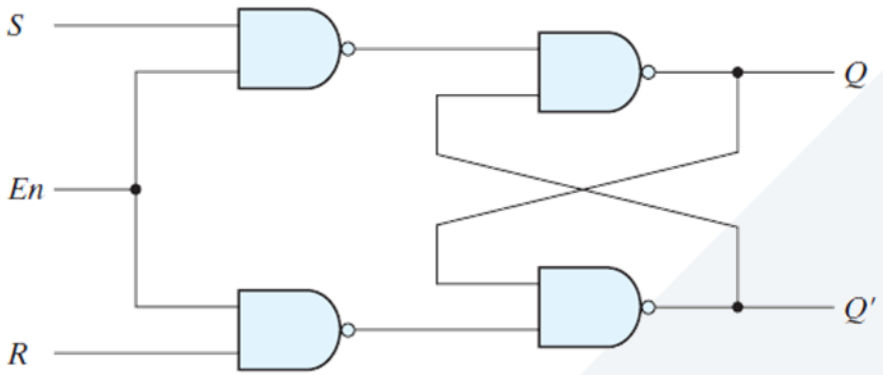
S	R	Q	Q'	
1	0	1	0	
0	0	1	0	(after $S = 1, R = 0$)
0	1	0	1	
0	0	0	1	(after $S = 0, R = 1$)
1	1	0	0	(forbidden)

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - الماسكات Latch
    - وتتكون دائرة الماسك في معظم الأحيان من:
      - بوابتي NAND في حال كان يعمل على المستوى المنطقي المنخفض LOW
      - بوابتي NOR في حال كان يعمل على المستوى المنطقي المرتفع HIGH

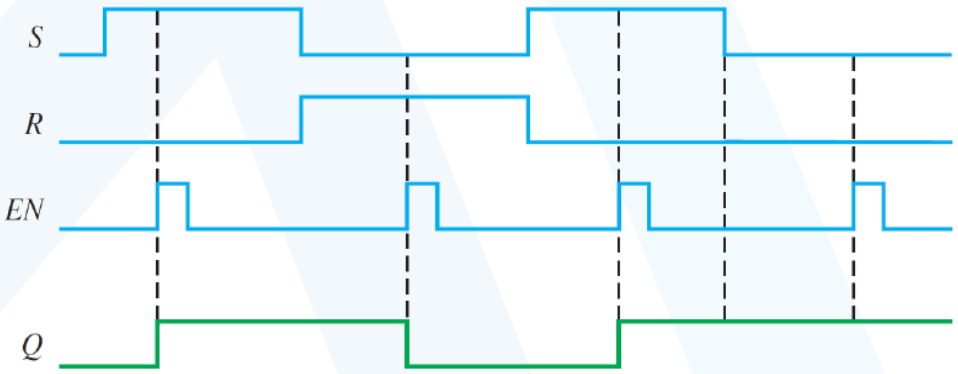


S	R	Q	Q′	
1	0	0	1	
1	1	0	1	(after $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(after $S = 0, R = 1$)
0	0	1	1	(forbidden)



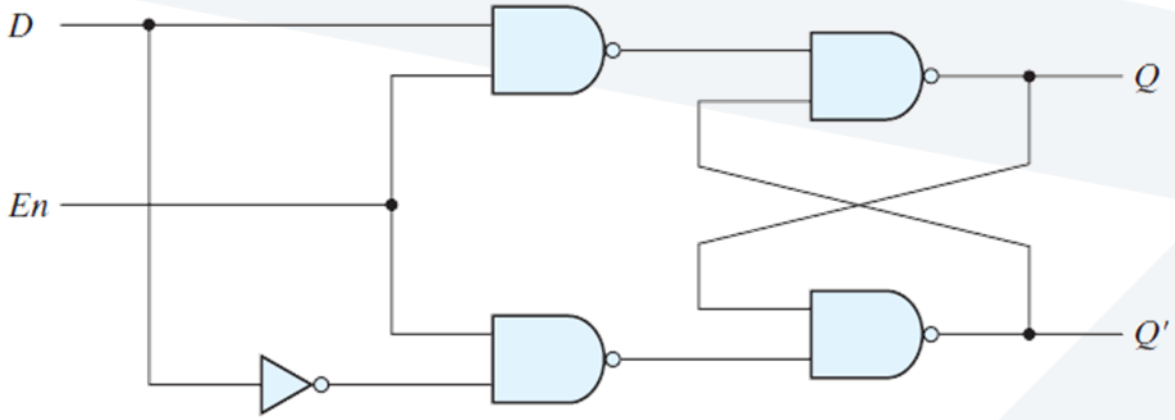
En	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	$Q = 0$; reset state
1	1	0	$Q = 1$; set state
1	1	1	Indeterminate

- الماسك المتزامن:

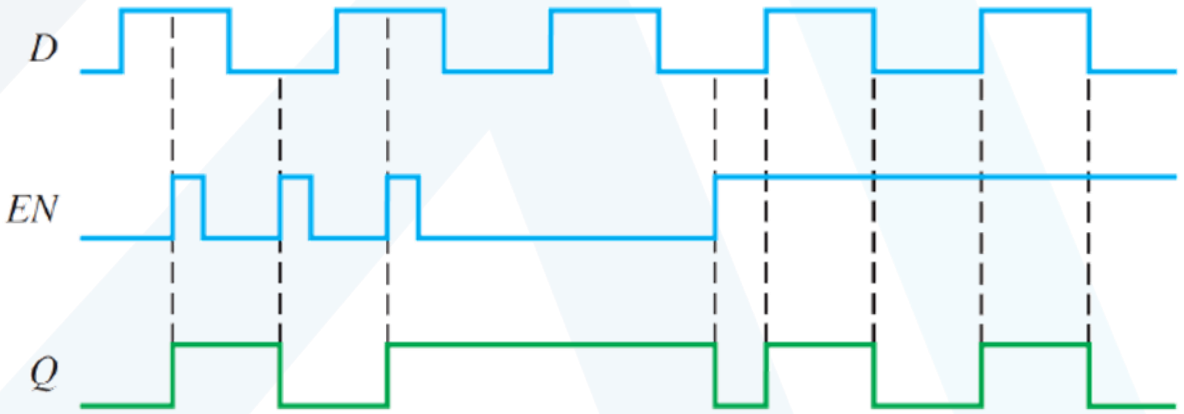


عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - الماسكات Latch
  - الماسك D المتزامن:

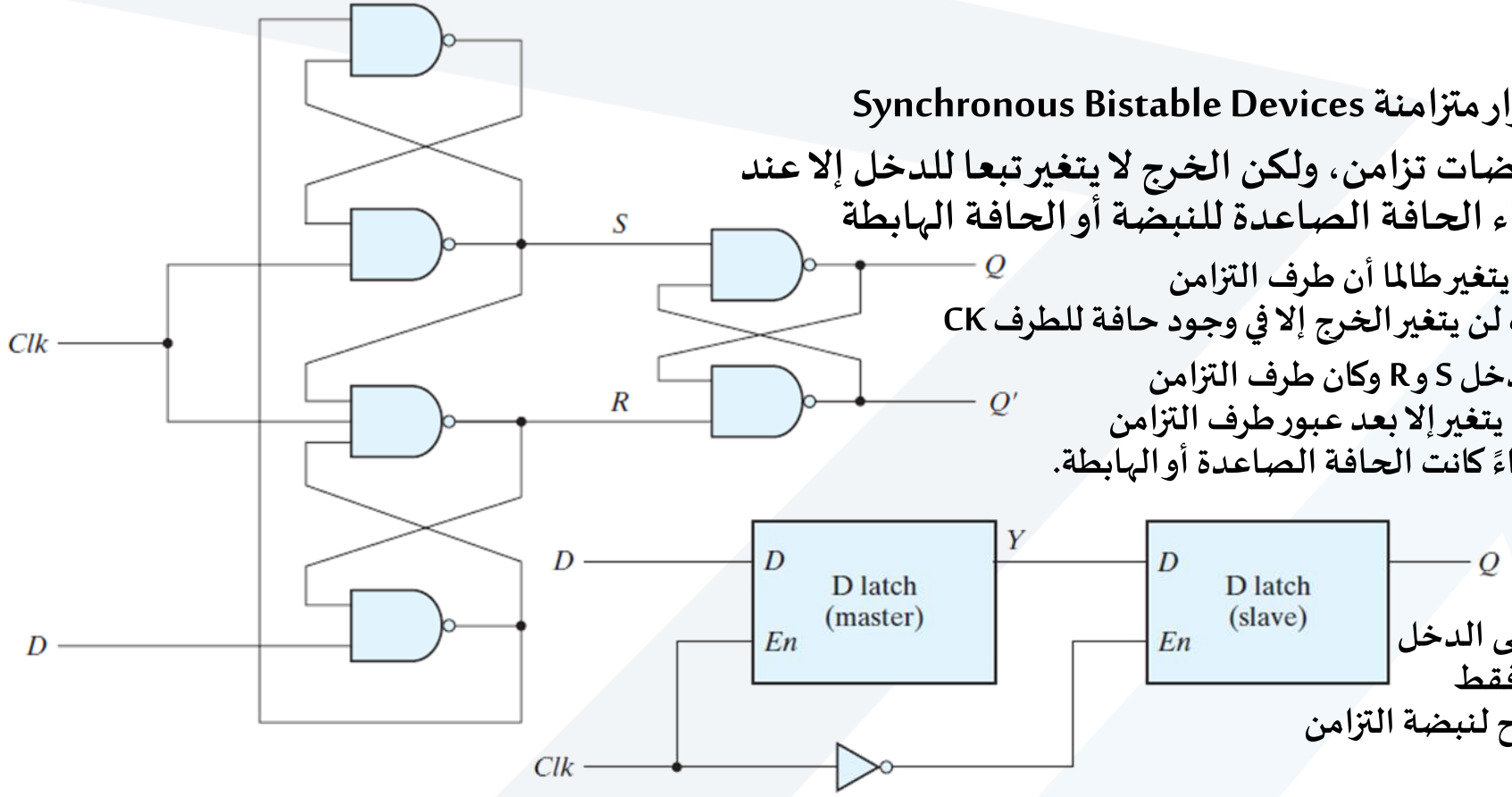


En	D	Next state of Q
0	X	No change
1	0	Q = 0; reset state
1	1	Q = 1; set state



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

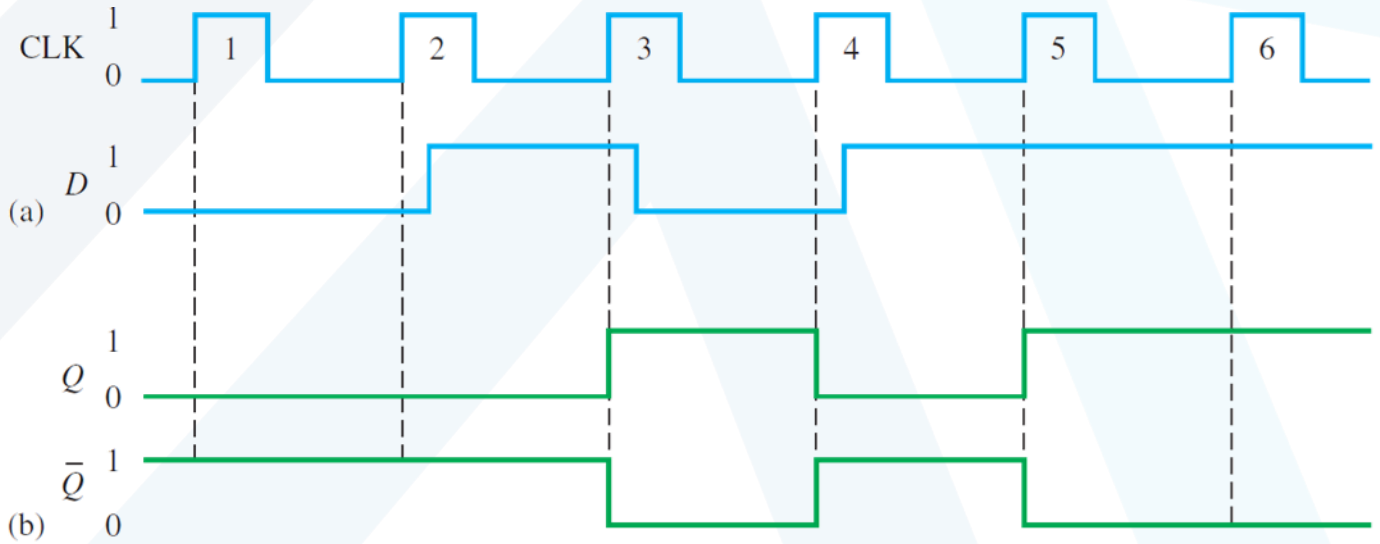
- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - القلابات Flip-Flops:
    - هي أجهزة ثنائية الاستقرار متزامنة Synchronous Bistable Devices
    - يمثل ماسك محكوم بنبضات تزامن، ولكن الخرج لا يتغير تبعا للدخل إلا عند حافة نبضة التزامن سواء الحافة الصاعدة للنبضة أو الحافة الهابطة
      - في الماسك كان الخرج يتغير طالما أن طرف التزامن CK= 1، بينما القلاب لن يتغير الخرج إلا في وجود حافة للطرف CK
      - أي أنه حتى لو تغير الدخل S و R وكان طرف التزامن CK= 1 فإن الخرج لن يتغير إلا بعد عبور طرف التزامن CK لحافة معينة سواءً كانت الحافة الصاعدة أو الهابطة.
    - القلاب D Flip-Flop D:
      - قلاب بدخل متزامن
        - أي البيانات على الدخل تمر إلى الخرج فقط مع حافة القدح لنبضة التزامن



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

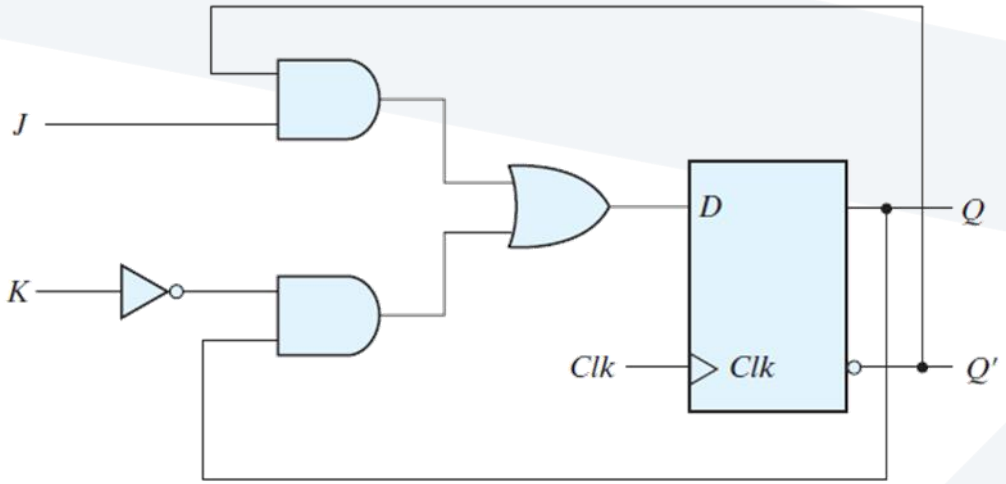
- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - القلابات Flip-Flops:
    - القلاب D Flip-Flop D:

Inputs		Outputs		
D	CLK	*Q*	$\overline{Q}$	Comments
0	↑	0	1	RESET
1	↑	1	0	SET

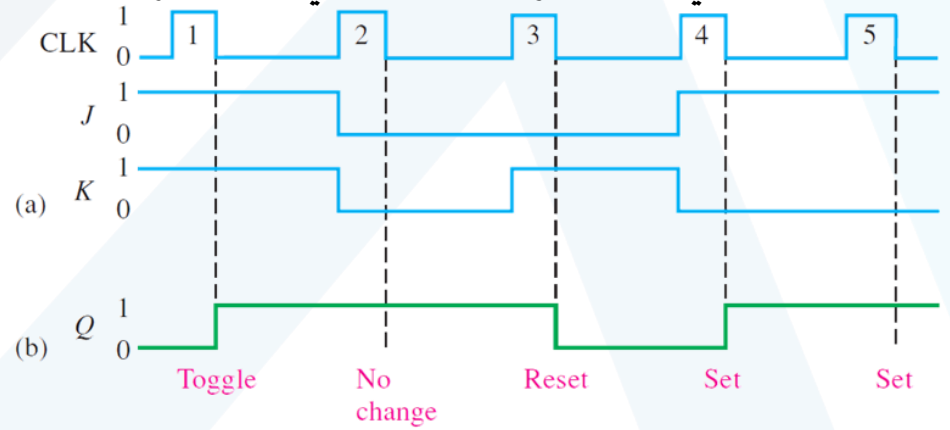


عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - القلابات Flip-Flops:
    - القلاب J-K Flip-Flop J-K:
      - قلاب متزامن يتألف كم مدخلين J وK
      - البيانات على الدخل تمر إلى الخرج فقط مع حافة القدح لنبضة التزامن
      - الفرق بينه وبين القلاب S-R فقط في الحالة الأخير أنها حالة مسموحة
      - أي عندما يكون كلا المدخلين في الحالة المرتفعة HIGH فإن القلاب يغير حالته (حالة الخرج)

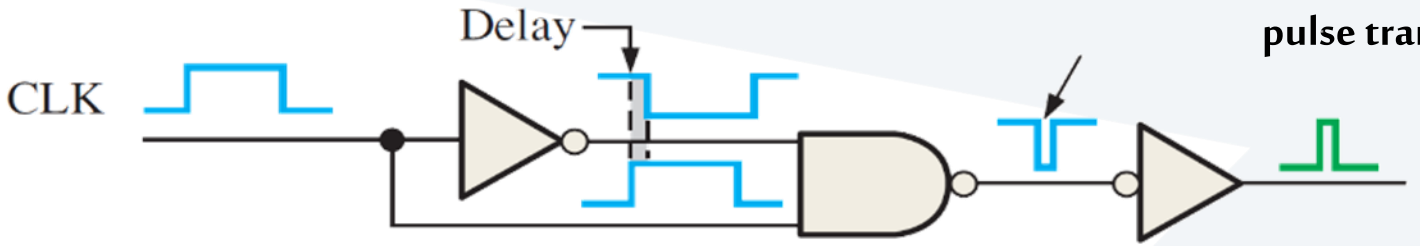


Inputs			Outputs		
J	*K*	CLK	*Q*	$\overline{Q}$	Comments
0	0	↑	Q_0	$\overline{Q}_0$	No change
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	$\overline{Q}_0$	Q_0	Toggle

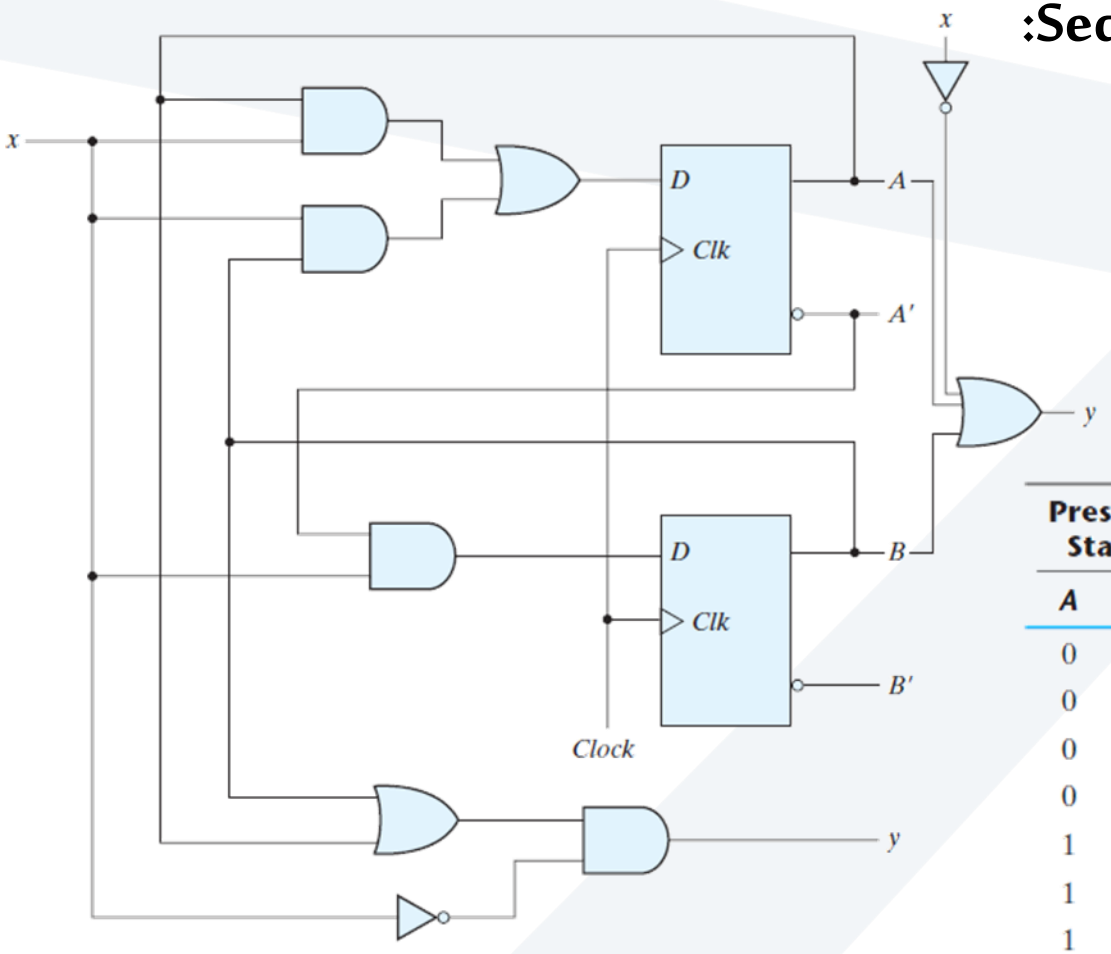


عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - القلابات Flip-Flops:
    - كاشف انتقال حالة النبضة pulse transition detector
  - تحليل الدارات المنطقية التعاقبية المتزامنة
    - يصف التحليل ما ستفعله دارة معينة في ظل ظروف تشغيل معينة.
    - يتم تحديد سلوك الدارة التعاقبية المتزامنة عن طريق الدخل والخرج وحالة القلابات المستخدمة.
    - الخرج والحالة التالية هي تابع للدخل والحالة الحالية.
    - يتكون تحليل الدارة التعاقبية من الحصول على جدول أورسم تخطيطي للتسلسل الزمني للمدخلات والمخرجات والحالات الداخلية.
    - يمكن استخدام العديد من الطرق لتحليل الدارات المنطقية التعاقبية المتزامنة منها معادلات الحالة وجدول الحالة ومخطط الحالة
    - معادلات الحالة state equation:
      - تحدد معادلة الحالة (وتسمى أيضًا معادلة الانتقال transition equation) الحالة التالية كتابع للحالة الحالية والمدخلات
    - جدول الحالة state table:
      - التسلسل الزمني للدخل والخرج وحالات القلابات يمكن تمثيلها في جدول الحالة (يسمى أحيانًا جدول الانتقال transition table).
    - يمكن تمثيل المعلومات المتوفرة في جدول الحالة بيانياً في شكل مخطط حالة state diagram



عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)



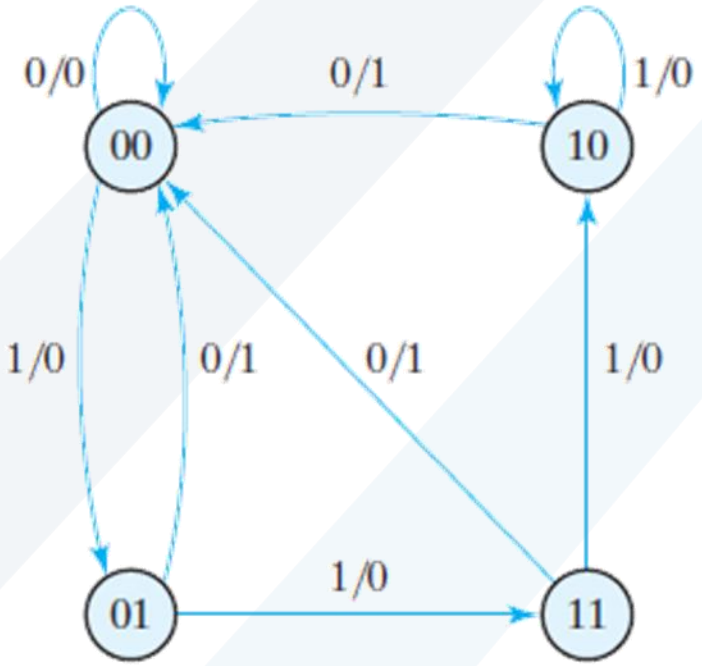
- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - تحليل الدارات المنطقية التعاقبية المتزامنة
    - مثال: ليكن لدينا الدارة الموضحة بالشكل والمطلوب تحليل هذه الدارة باستخدام معادلات وجدول ومخطط الحالة
      - $A(t+1) = A(t)x(t) + B(t)x(t)$
      - $B(t+1) = A'(t)x(t)$
      - $y(t) = [A(t) + B(t)]x'(t)$

Present State		Input	Next State		Output
A	B	x	A	B	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - تحليل الدارات المنطقية التعاقبية المتزامنة
    - مثال: ليكن لدينا الدارة الموضحة بالشكل والمطلوب تحليل هذه الدارة باستخدام معادلات وجدول ومخطط الحالة

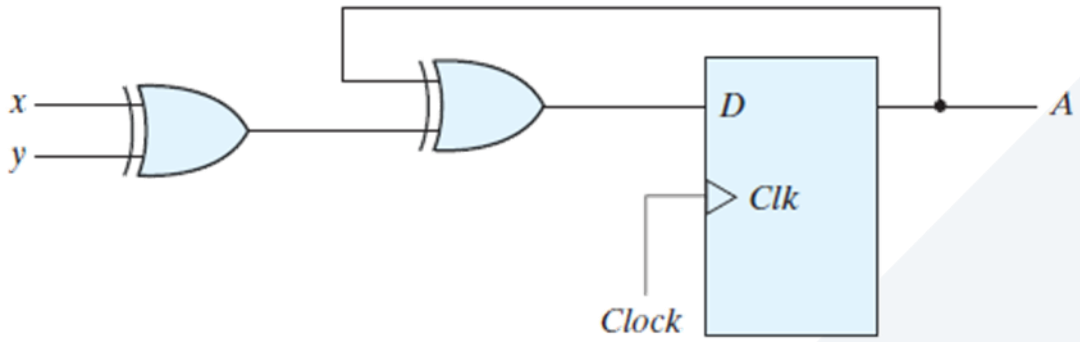
Present State		Next State				Output	
		$x = 0$		$x = 1$		$x = 0$	$x = 1$
A	B	A	B	A	B	y	y
0	0	0	0	0	1	0	0
0	1	0	0	1	1	1	0
1	0	0	0	1	0	1	0
1	1	0	0	1	0	1	0



Present State		Input	Next State		Output
A	B	x	A	B	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

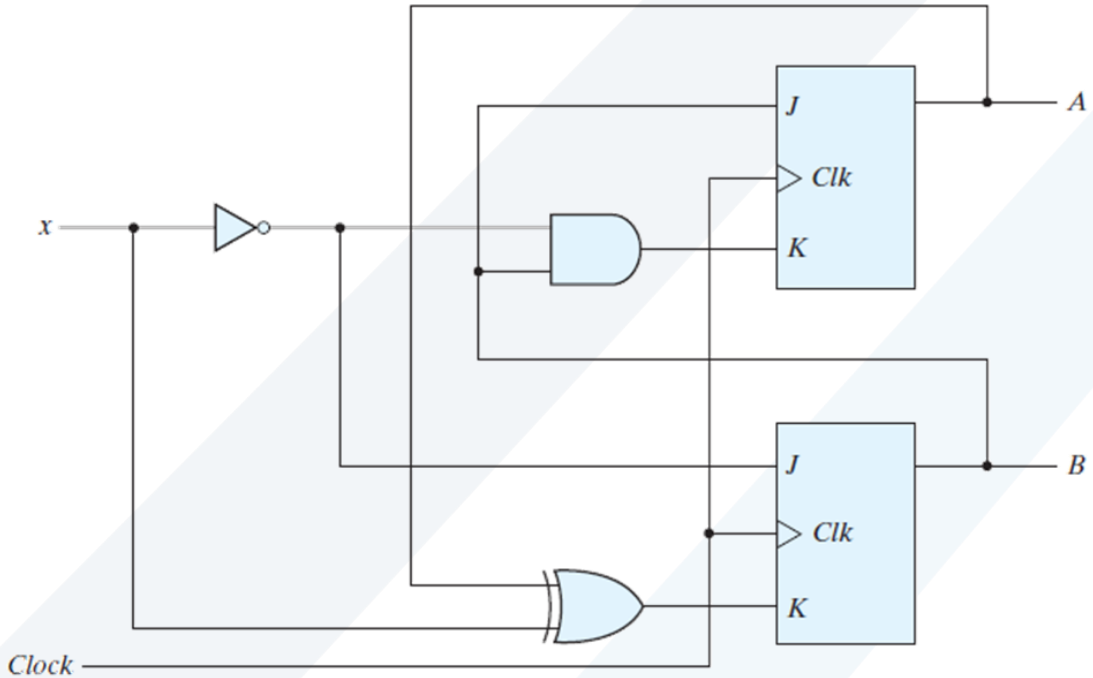
- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - تحليل الدارات المنطقية التعاقبية المتزامنة
    - مثال: المطلوب تحليل دارة قلاب D الموضحة بالشكل باستخدام معادلات وجدول ومخطط الحالة
      - $D_A = A \oplus x \oplus B$
      - $A(t+1) = A \oplus x \oplus B$



Present state	Inputs		Next state
A	x	y	A
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - تحليل الدارات المنطقية التعاقبية المتزامنة
    - وظيفة: المطلوب تحليل دارة قلاب J-K الموضحة بالشكل باستخدام معادلات وجدول ومخطط الحالة



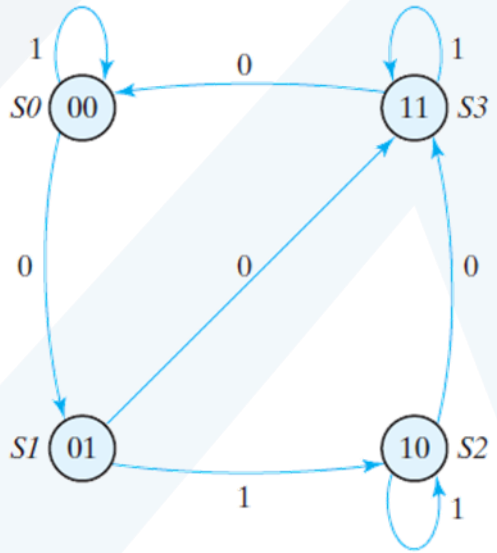
عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- الدارات المنطقية التعاقبية Sequential Logic Circuits:
  - تحليل الدارات المنطقية التعاقبية المتزامنة
    - وظيفة: المطلوب تحليل دارة قلاب J-K الموضحة بالشكل باستخدام معادلات وجدول ومخطط الحالة

Present State		Input	Next State		Flip-Flop Inputs			
A	B	x	A	B	J_A	K_A	J_B	K_B
0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1
0	1	0	1	1	1	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0

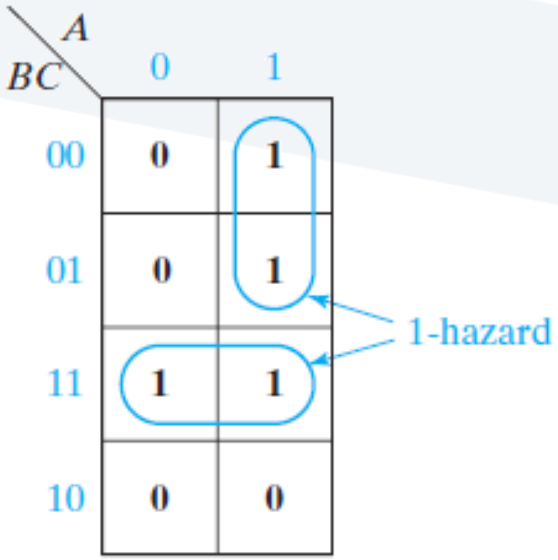
$$A(t+1) = BA' + (Bx')'A = A'B + AB' + Ax$$

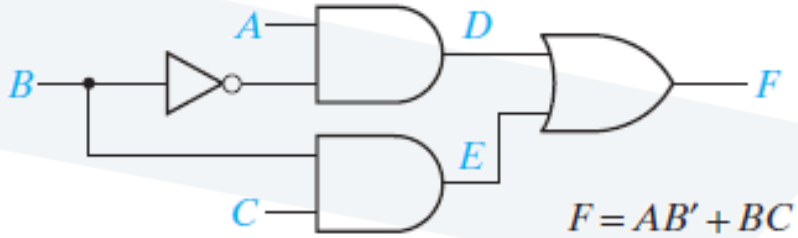
$$B(t+1) = x'B' + (A \oplus x)'B = B'x' + ABx + A'Bx'$$

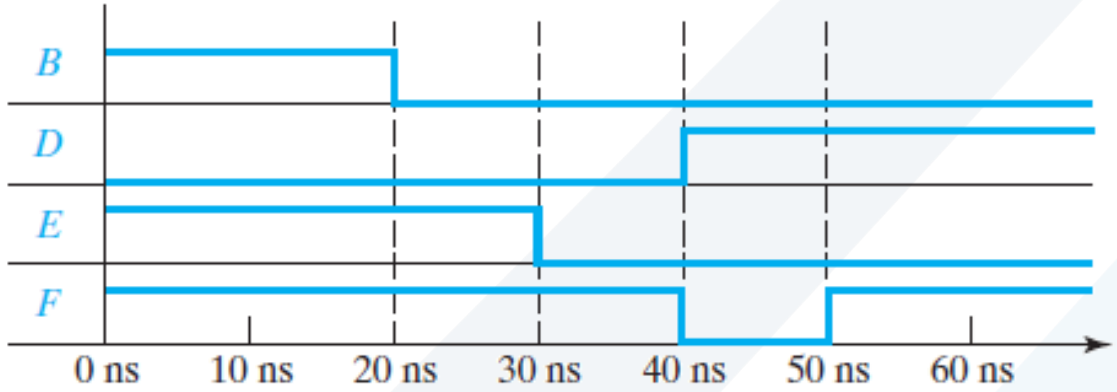


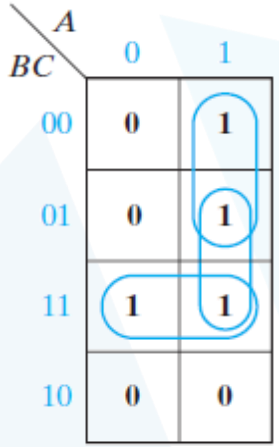
عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

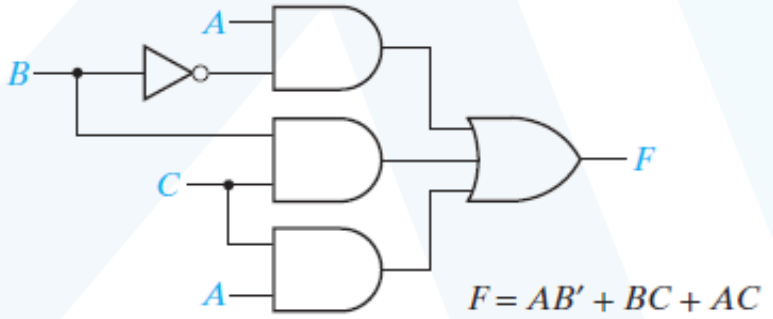
- مراجعة
  - مثال: التأخير الزمني





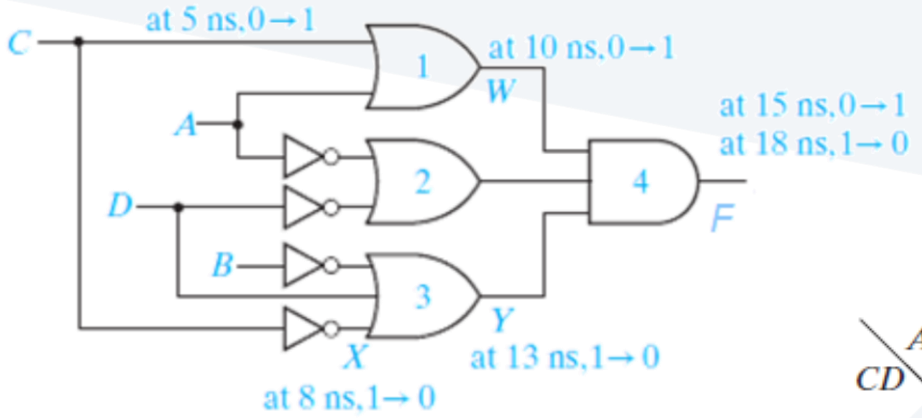


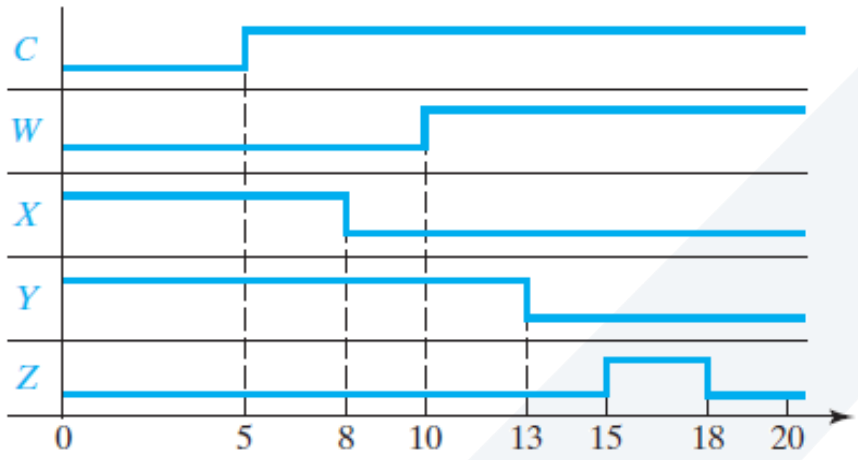


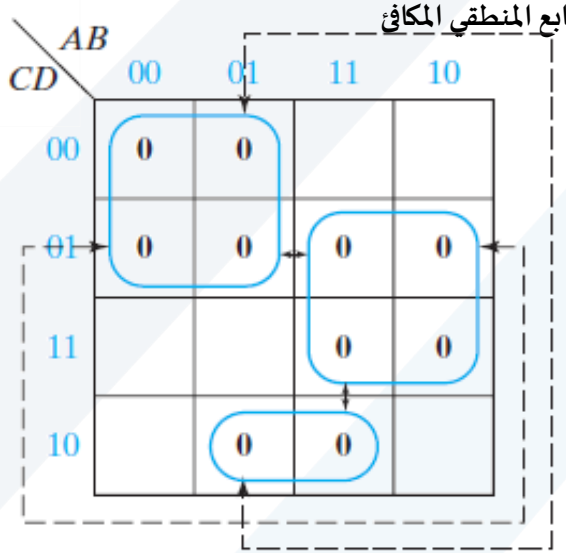


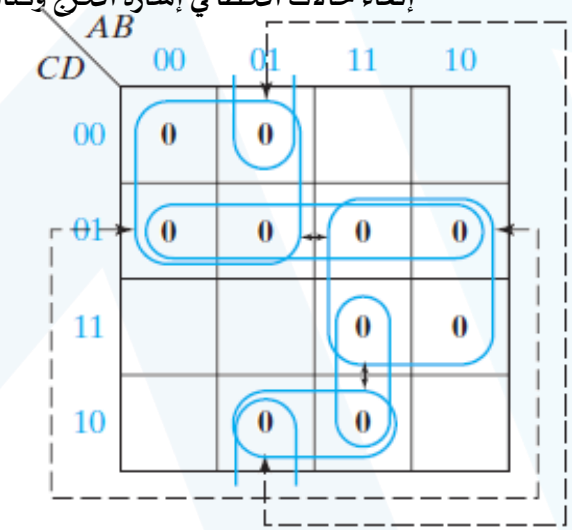
عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- مراجعة
  - مثال: التأخير الزمني
    - ليكن لدينا الدارة المنطقية المبينة بالشكل والمعلوم أن تأخير بوابة الـ NOT هو 3nSec بينما تأخير باقي البوابات هو 5nSec والمطلوب رسم إشارة الخرج فيما لو كانت قيم المداخل على الشكل التالي:
      - A, D, C تأخذ القيمة 0 و B تأخذ القيمة 1 وفي الزمن 5nSec تتغير قيمة المدخل C من الصفر إلى الواحد
      - إلغاء حالات الخطأ في إشارة الخرج وكتابة التابع المنطقي المكافئ





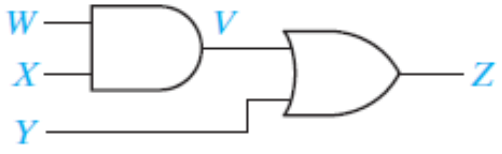


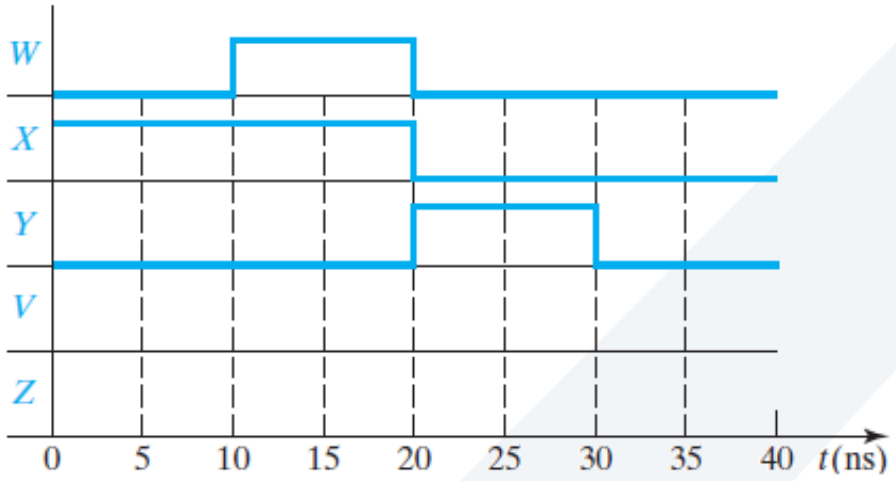


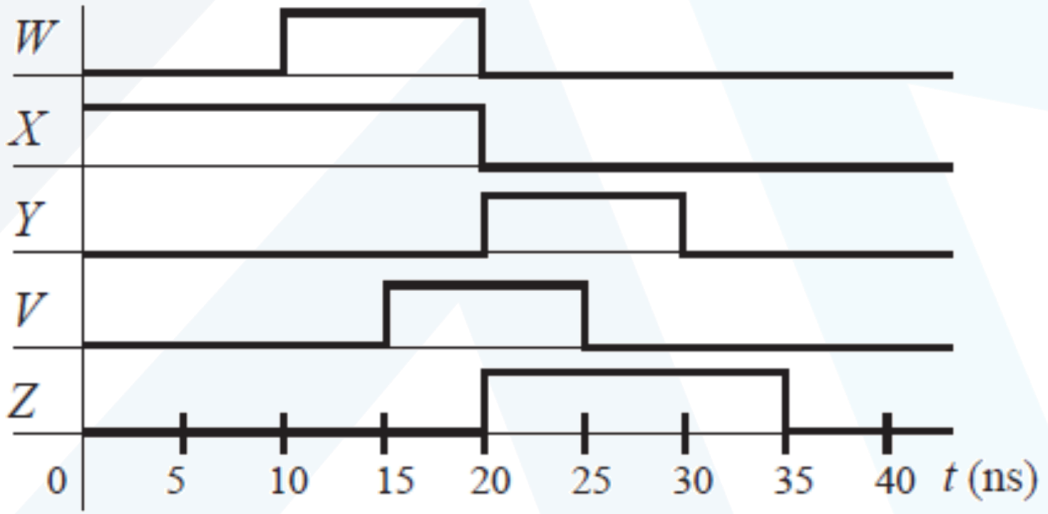
$$F = (A + C)(A' + D')(B' + C' + D)(C + D')(A + B' + D)(A' + B' + C')$$

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- مراجعة
  - مثال: التأخير الزمني
    - ليكن لدينا الدارة المنطقية المبينة بالشكل والمعلوم أن تأخير البوابات هو 5nSec والمطلوب رسم إشارة الخرج فيما لو كانت قيم المداخل كما هو موضح بالشكل:

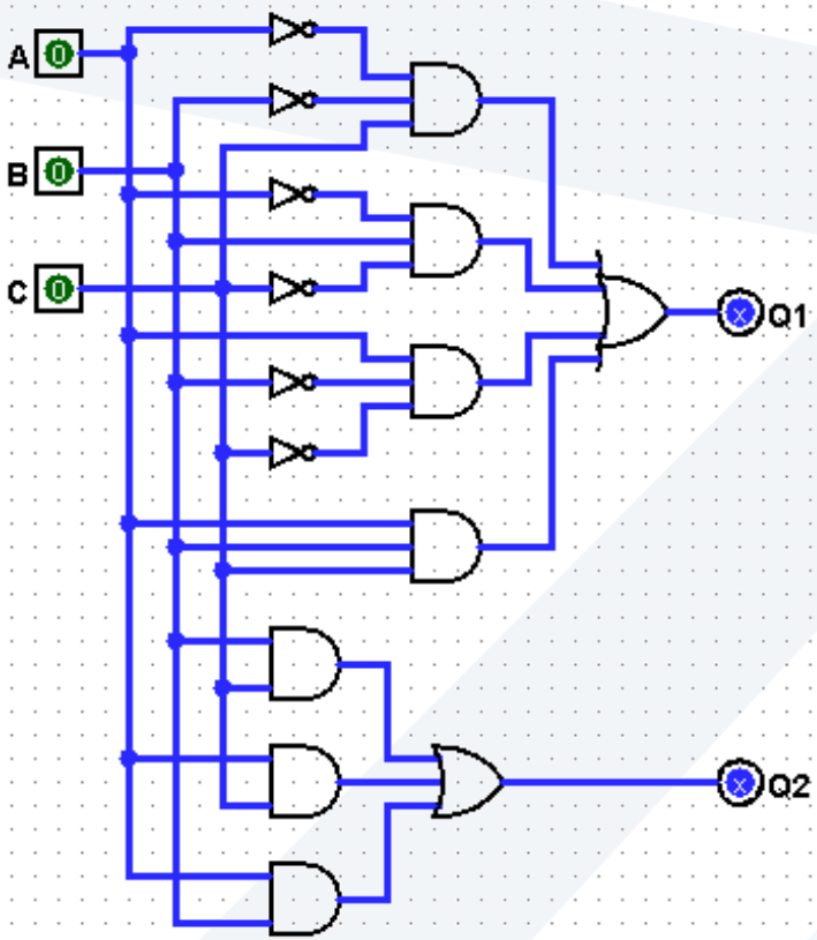






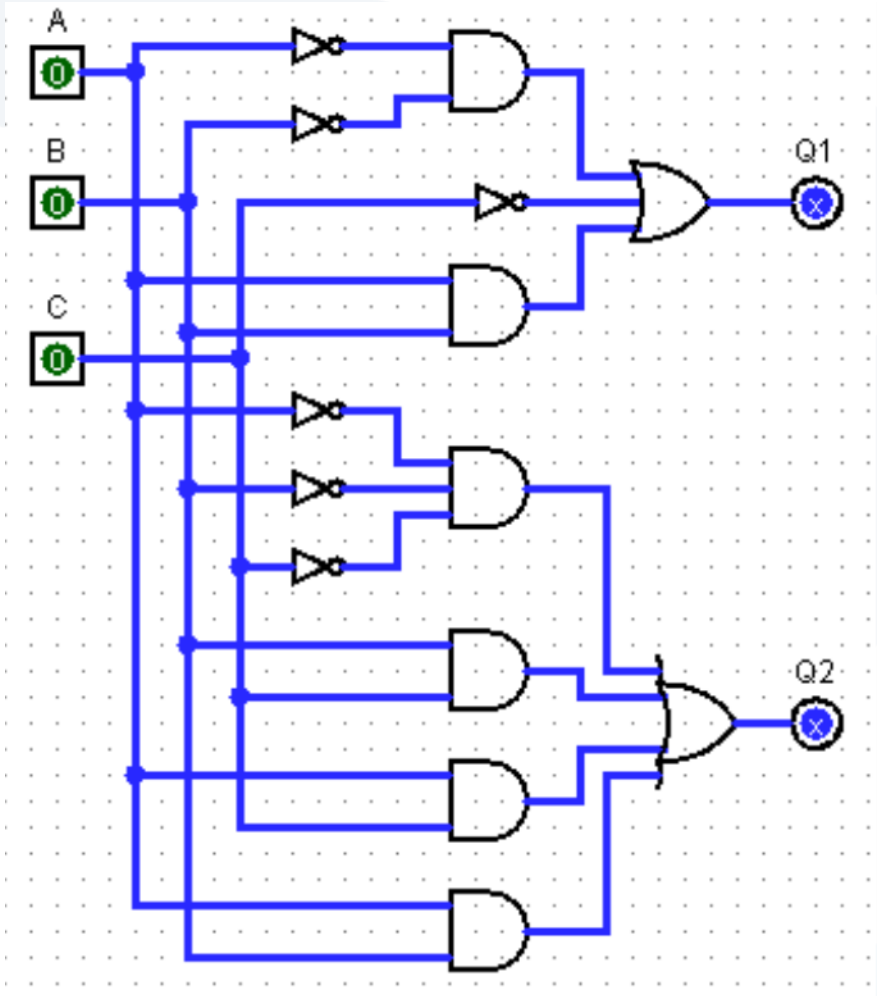
عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)

- مراجعة
  - مثال:
    - ما هي الدارة المكافئة لجدول الحقيقة التالي



A	B	C	Q1	Q2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

عناصر وتقنيات التصميم الرقمي التوافقي والتعاقبي (المتسلسل)



- مراجعة
  - مثال:
    - ما هي الدارة المكافئة لجدول الحقيقة التالي

A	B	C	Q1	Q2
0	0	0	x	x
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	1	1
1	1	1	x	x