تصميم رقمي متقدم
Advanced Digital Design

Dr.-Eng. Samer Sulaiman

2021-2022

مفردات المنهاج

- أساسيات التصميم الرقمي
- عناصروتقنيات التصميم الرقمي التو افقي والتعاقبي (المتسلسل)
- نمذجة التصميم الرقمي باستعمال لغة توصيف الكيان الصلب VHDL
- المحاكاة الوظيفية والزمنية للأنظمة الرقمية

تصميم الأنظمة الرقمية باستخدام VHDL

- تصميم بنى منطقية تسلسلية ضمن اللغة VHDL:
  - تعليمة Loop:
    - من التعليمات التتابعية التي تستخدم ضمن كتلة Process
    - تقوم بتكرارتنفيذ قسم من البرنامج عدة مرات
    - تستخدم تعليمة Exit من داخل الحلقة للخروج من داخل حلقة التكرارعند تحقق شرط ما
    - تستخدم تعليمة Next من داخل الحلقة لتجاوزبعض التعليمات من داخل حلقة التكرار
    - عند تحقق شرط ما
    - لهذه التعليمة عدة أشكال سيتم التعرف عليها من خلال الأمثلة
      - الحلقة اللانهائية:

```
<loop_label>: loop
  -- Code to execute
end loop <loop_label>;
```

      - حلقة FOR:

```
<loop_label> : for <parameter> in <range> loop
  -- Code to execute
end loop <loop_label>;
```

      - حلقة While:

```
<loop_label>: while <condition> loop
  -- Code to execute
end loop <loop_label>;
```

تصميم الأنظمة الرقمية باستخدام VHDL

- تصميم بنى منطقية تسلسلية ضمن اللغة VHDL:
  - تعليمة Loop:
    - لهذه التعليمة عدة أشكال سيتم التعرف عليها من خلال الأمثلة
    - مثال:

```
WHILE (i < 10) LOOP
        WAIT UNTIL clk'EVENT AND clk='1';
        (other statements)
END LOOP;
```

```
FOR i IN data'RANGE LOOP
        CASE data(i) IS
                WHEN '0' => count:=count+1;
                WHEN OTHERS => EXIT;
        END CASE;
END LOOP;
```

```
FOR i IN 0 TO 15 LOOP
        NEXT WHEN i=skip; -- jumps to next iteration
        (other statements)
END LOOP;
```

تصميم الأنظمة الرقمية باستخدام VHDL

- تصميم بنى منطقية تسلسلية ضمن اللغة VHDL:
  - تعليمة Loop:
    - لهذه التعليمة عدة أشكال سيتم التعرف عليها من خلال الأمثلة
    - مثال:
      - المطلوب تصميم دارة تقوم بإحصاء عدد الأصفار اليسارية الموجودة في إشارة الدخل Data ، على سبيل المثال إذا كانت قيمة الدخل 00000001 يظهر البرنامج القيمة 7 على الخرج وهكذا ...

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY LeadingZeros IS
    PORT ( data: IN STD_LOGIC_VECTOR (7 DOWNTO 0);
                zeros: OUT INTEGER RANGE 0 TO 8);
END LeadingZeros;
ARCHITECTURE behavior OF LeadingZeros IS
BEGIN
    PROCESS (data)
                VARIABLE count: INTEGER RANGE 0 TO 8;
    BEGIN
                count := 0;
                FOR i IN data'RANGE LOOP
                            CASE data(i) IS
                                        WHEN '0' => count := count + 1;
                                        WHEN OTHERS => EXIT;
                            END CASE;
                END LOOP;
                zeros <= count;
    END PROCESS;
END behavior;
```

تصميم الأنظمة الرقمية باستخدام VHDL

- تصميم بنى منطقية تسلسلية ضمن اللغة VHDL:
  - تعليمة Loop:
    - مثال: المطلوب تصميم دارة 8-bit parity checker

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;
entity parity_check is
port(
 i_clk          : in  std_logic;
 i_data         : in  std_logic_vector(7 downto 0);
 o_parity       : out std_logic);
end parity_check;
architecture rtl of parity_check is
signal r_data         : std_logic_vector(7 downto 0);
begin
p_parity_check : process (i_clk)
variable vparity      : std_logic;
```

```
Begin
 if rising_edge(i_clk) then
  r_data  <= i_data;
  vparity := '0';
  l_parity : for k in 0 to r_data'length-1 loop
   vparity := vparity xor r_data(k);
  end loop l_parity;
  o_parity <= vparity;
 end if;
end process p_parity_check;
end rtl;
```

تصميم الأنظمة الرقمية باستخدام VHDL

- تصميم بنى منطقية تسلسلية ضمن اللغة VHDL:
  - تعليمة Loop:
    - مثال: المطلوب كتابة برنامج بلغة الـ VHDL للكود البرمجي التالي:

```
For (int i=0; i<10; i++)
  data[i] = data[i] + 1;
```

    - فيكون بلغة الـ VHDL:

```
P_INCREMENT : process (clock)
begin
 if rising_edge(clock) then
  if index < 10 then
   data(index) <= data(index) + 1;
   index      <= index + 1;
  end if;
 end if;
end process P_INCREMENT;
```

تصميم الأنظمة الرقمية باستخدام VHDL

- تصميم بنى منطقية تسلسلية ضمن اللغة VHDL:
  - تعليمة Loop:
    - مثال: المطلوب كتابة برنامج بلغة الـVHDL للكود البرمجي التالي:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity Example_For_Loop is
 port (
  i_Clock : std_logic   );
end Example_For_Loop;
architecture behave of Example_For_Loop is
 signal r_Shift_With_For : std_logic_vector(3 downto 0) := X"1";
 signal r_Shift_Regular  : std_logic_vector(3 downto 0) := X"1";
begin
 -- Creates a Left Shift using a For Loop
 p_Shift_With_For : process (i_Clock)
 begin
if rising_edge(i_Clock) then
for ii in 0 to 2 loop
r_Shift_With_For(ii+1) <= r_Shift_With_For(ii);
end loop;  -- ii
end if;
 end process;
 -- Performs a shift left using regular assignments
 p_Shift_Without_For : process (i_Clock)
 begin
  if rising_edge(i_Clock) then
   r_Shift_Regular(1) <= r_Shift_Regular(0);
   r_Shift_Regular(2) <= r_Shift_Regular(1);
   r_Shift_Regular(3) <= r_Shift_Regular(2);
  end if;
 end process;
end behave;
```