

دارات الكترونية /١/

ترانزستورات تأثير الحقل - Field-Effect Transistors

مدرس المقرر
د. السموءل صالح

Course Contents

مفردات المقرر

+ Field Effect Transistor (FET)

++ Junction FET (JFET).

- JFET Construction.
- Drain characteristic.

- JFET Operation Principle:
- Transfer characteristic.

++ Metal-Oxide-Semiconductor FET (MOSFET).

- MOSFET Construction.
- Drain characteristic.

- MOSFET Operation Principle (Types).
- Transfer characteristic.

++ DC & AC Analysis (Parametres).

++ Biased circuits.

+ FeedBack and Amplifiers.

++ Feedback Concepts.

++ Feedback Connection Types.

(Field-Effect Transistors) FET

بنية وخصائص الترانزستور ذو الأثر الحقل

-- الترانزستور الحقل FET يشبه إلى حد ما الترانزستور ثنائي القطبية BJT ولكن هناك بعض الاختلاف في البنية وآلية العمل. فكرة FET تعتمد على تغير مقاومة المادة نصف الناقل R_{sh} بتغير أبعاد المادة حسب العلاقة:

$$R_{sh} = \frac{l}{q\mu ndw}$$

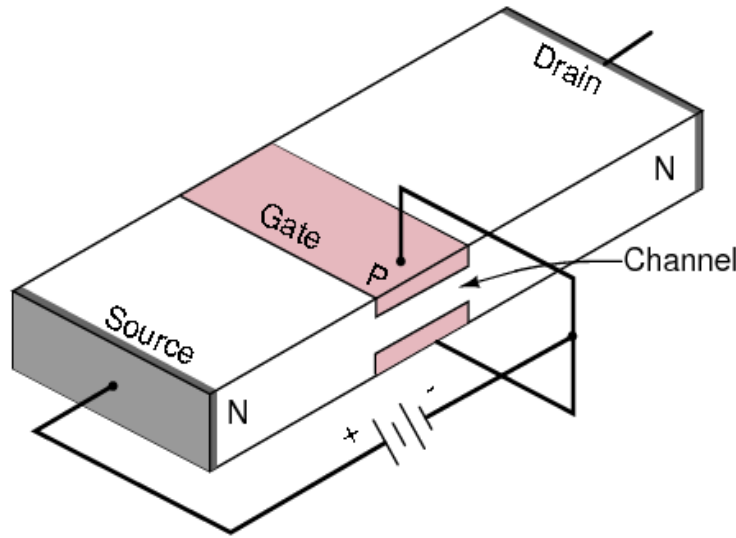
-- البنية الفيزيائية:

حيث: q : شحنة الإلكترون أو الثقب.

μ : حركية حوامل الشحن الأساسية في نصف الناقل.

n : تركيز الشوائب في نصف الناقل.

w, l, d : تمثل على التوالي سماكة وطول وعرض القطعة نصف الناقل.



يتكون من قطعة نصف ناقل نوع n or p على شكل متوازي مستطيلات ذات إشابة محددة.

يسمى الطرف الأول بالمنبع S الذي يعطي الحوامل الأكثرية.

يسمى الطرف الثاني بالمصرف D الذي يستقبل الحوامل الأكثرية.

الطرف الثالث يمثل طرف التحكم بعرض القناة ويدعى بالبوابة

تتشكل من مادة مختلفة عن كل من D & S .

يدعى بالترانزستور وحيد القطبية لأنه يعتمد على الحوامل الأكثرية للقناة إما إلكترون أو ثقب.

JFET Construction

بنية ومبدأ عمل الترانزستور الحثلي

مبدأ العمل:

-- بتطبيق جهد V_{DD} بين المنبع والمصرف سيمر تيار في المادة نصف الناقلة $I_D = V_{DD} / R_{sh}$.

-- للتحكم بمرور التيار يتم عن طريق تغير نسبة الإشابة في المادة أو عن طريق تغير مقاومة القطعة نصف الناقلة وذلك بتغير أبعادها.

-- يتم تغير الأبعاد لنفس القطعة بإضافة قطب جديد من مادة مختلفة تحقن على طرفي القطعة الأساسية يسمى بالبوابة G قطب

التحكم ، يصبح لدينا متصل PN على طرفي القطعة، بالنتيجة جعل القطبية عكسية سيتم زيادة عرض المنطقة المجردة، إذا

نقصان عرض القطعة نصف الناقلة مما يؤدي إلى زيادة المقاومة ونقصان التيار أي:

$$d \uparrow \Rightarrow R_{sh} \downarrow \Rightarrow I_D \uparrow \quad \text{Or} \quad d \downarrow \Rightarrow R_{sh} \uparrow \Rightarrow I_D \downarrow$$

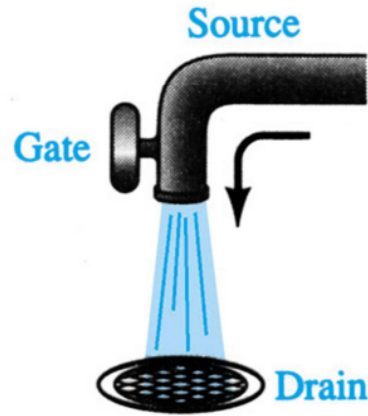
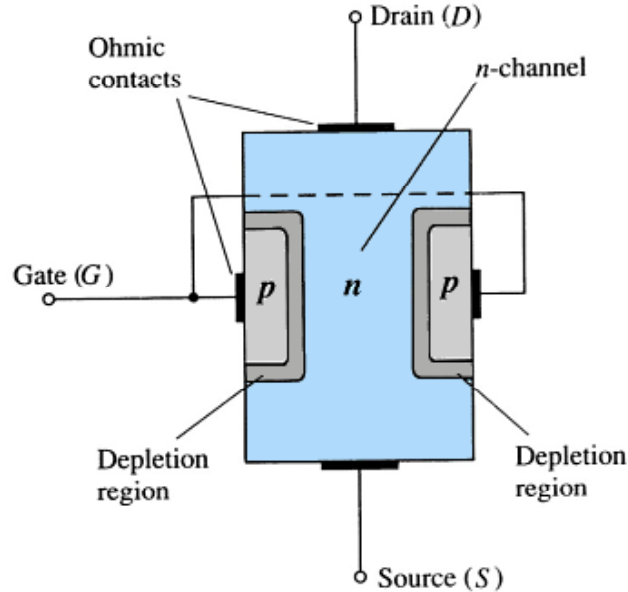
-- يمكن مقارنته بصنبور المياه التالي:

هناك ثلاث نهايات:

١- المنبع احد طرفي القطعة (القناة) يطبق عليه جهد بقطبية تطلق منه الحوامل الأكثرية.

٢- المصرف الطرف الآخر للقناة يطبق عليه جهد بحيث يستقبل الحوامل الأكثرية.

٣- البوابة طرف التحكم، يطبق عليها جهد للتحكم بالتيار (الحوامل).



الترانزستور في حالة التوازن

JFET Types

أنواع الترانزستور الحثلي

-- يحدد نوع الترانزستور حسب نوع القناة المستخدمة إما n-channel أو p-channel ،
أو حسب طريقة عزل البوابة عن القناة أو حسب طريقة تشكيل القناة

-- بشكل عام للترانزستور الحثلي النوعين التاليين:

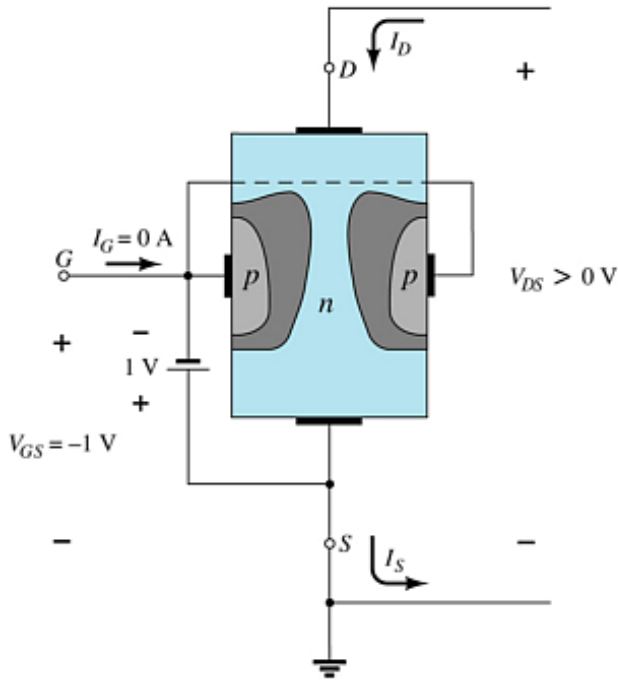
١- الترانزستورات الحثلية ذات المتصل JFET حيث يتم عزل البوابة المعدنية عن القناة بواسطة منطقة النزوح المشكلة نتيجة الاستقطاب العكسي للمتصل وبالتالي يعمل الترانزستور وفق النمط الأفقاري أو حسب مبدأ النزوح وله نوعان حسب القناة n-Channel (مستخدم بشكل واسع) أو p-Channel.

٢- الترانزستورات الحثلية ذات البوابة المعزولة IG-FET حيث يتم العزل بواسطة ثاني أكسيد السليكون ويدعى في هذه الحالة بالترانزستور نوع MOS FET= Metal Oxide Semiconductor FET ذلك لأن البوابة موصولة مباشرة إلى سطح معدني متوضع فوق طبقة من أكسيد السليكون SiO_2 ، أي البوابة غير موصولة مباشرة إلى المادة نصف الناقلة بل معزولة عنها بطبقة رقيقة من الأكسيد ويقسم إلى قسمين:

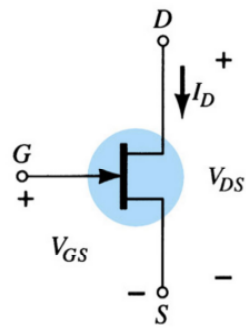
١-٢- الترانزستور MOS FET-D ذو القناة مسبقة الصنع أو المدفونة: يتم تشكيل قناة رقيقة بإشابة خفيفة تحت البوابة بين المنبع والمصرف ويعمل وفق مبدأ النزوح (Depletion) نمط إفقاري.

٢-٢- الترانزستور MOS FET-E ذو القناة المحرصة: يتم تحريض القناة بين المنبع والمصرف وذلك بتطبيق الجهود المناسبة على البوابة ويعمل وفق مبدأ الإغناء أو الازدياد Enhancement نمط إغنائي.

n -channel



JFET Symbol



مبدأ عمل الترانزستور الحثلي ذو القناة n

-- يطبق الجهد V_{DD} بحيث يكون D موجب بالنسبة S .

-- يمر تيار موجب I_D بين D و S ناتج عن الحوامل الأكثرية (e).

-- يطبق الجهد المستمر V_{GG} بقطبية سالبة على البوابة $=$ المتصل PN ينحاز

عكسيا $=$ وجود منطقة مجردة عند طرفي البوابة بعرض δ $=$ عرض القناة

سينقص بمقدار 2δ $=$ $d \downarrow$ $=$ $R_{sh} \uparrow$ $=$ $I_D \downarrow$

ملاحظة:

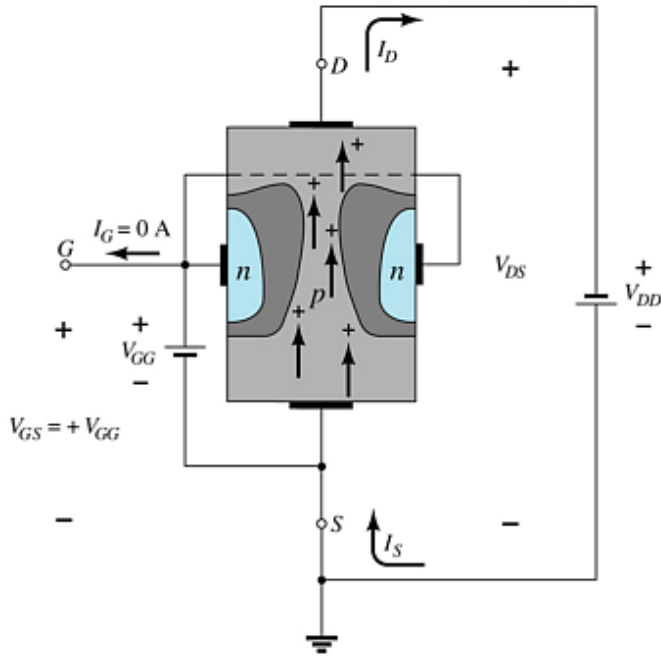
-- وجود المنطقة المجردة في القناة ناتج عن أن القناة ذات إشابة أقل.

-- من البوابة اختلاف عرض المنطقة المجردة ناتج عن تدرج هبوط الجهد في القطعة الأساسية؟؟.

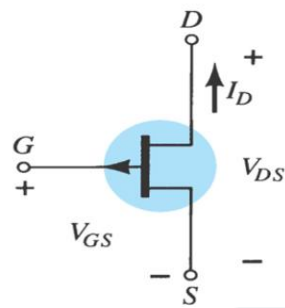
-- تيار البوابة $I_G \approx 0$ لأن المتصل GD, GS منحاز عكسيا ومن هنا تأتي مقاومة الدخل العالية.

D and S are connected to the n -channel
 G is connected to the p -type material

p-channel



JFET Symbol



مبدأ عمل الترانزستور الحقل ذي القناة p

-- يطبق الجهد V_{DD} بحيث يكون D سالب بالنسبة S.

-- يمر تيار موجب I_D بين D و S ناتج عن الحوامل الأكثرية (h).

-- يطبق الجهد المستمر V_{GG} بقطبية موجبة على البوابة => المتصل PN ينحاز

عكسيا => وجود منطقة مجردة عند طرفي البوابة بعرض δ => عرض القناة

سينقص بمقدار 2δ => $d \downarrow$ => $R_{sh} \uparrow$ => $I_D \downarrow$

ملاحظة:

-- وجود المنطقة المجردة في القناة ناتج عن أن القناة ذات إشابة أقل.

-- من البوابة اختلاف عرض المنطقة المجردة ناتج عن تدرج هبوط الجهد في القطعة الأساسية ؟؟.

-- تيار البوابة $I_G \approx 0$ لان المتصل GD, GS منحاز عكسيا ومن هنا تأتي مقاومة الدخل العالية.

D and S are connected to the p-channel

G is connected to the n-type material

JFET Operating Characteristics

خصائص العمل

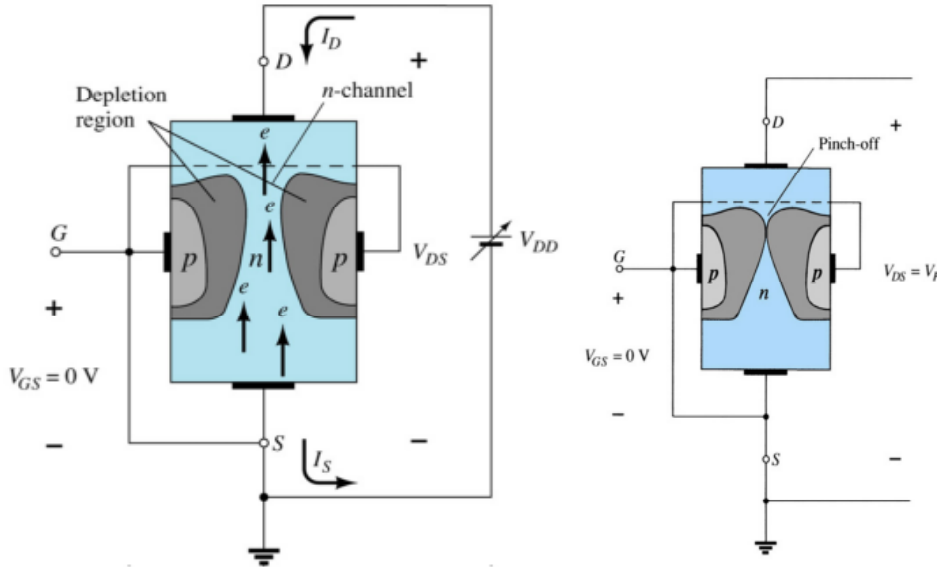
** هناك حالتين أساسيتين للترانزستور:

١- $V_{GS} = 0$ (جهد التحكم بالترانزستور) تكون دائرة الدخل مقصورة وبالتالي القناة تصبح كمقاومة خطية إذا بزيادة الجهد V_{DS} من اجل قيم صغيرة بالاتجاه الموجب سيزداد التيار تدريجيا حتى تصبح قيمته ملحوظة مما يؤدي لتوزيع الجهد على طول القناة، قطبته الموجبة على المصرف والسالبة على المنبع والبوابة المقصورة وبالتالي المتصل PN محيز عكسيا وكون هبوط الجهد تدريجي على القناة ويكون أعظميا عند المصرف وأصغريا عند المنبع، تتشكل المنطقة المجردة بعرض اكبر عند المصرف واصغر عند المنبع.

١-١- بزيادة V_{DS} ، المنطقة المجردة بين البوابة p والقناة n ستزداد لأن الكثرونات القناة n تتحد مع ثقب البوابة p تستمر الزيادة ويستمر التيار بالزيادة أيضا.

١-٢- بزيادة الجهد V_{DS} إلى قيمة أكبر، عرض المنطقة المجردة يزداد وبالتالي يقلل حجم القناة مما يؤدي عند جهد معين إلى إغلاق القناة تقريبا وانخفاض كبير في مرور التيار وانعدامه عندها الجهد العكسي سينخفض، إذا عرض المنطقة المجردة يقل ويزداد عرض القناة مما يؤدي لإعادة مرور التيار، حتى نحصل في النهاية على حالة توازن تكون قيمة التيار عندها ثابتة وتساوي لتيار الإشباع $I_D = I_{Dmax} = I_{DSS}$.

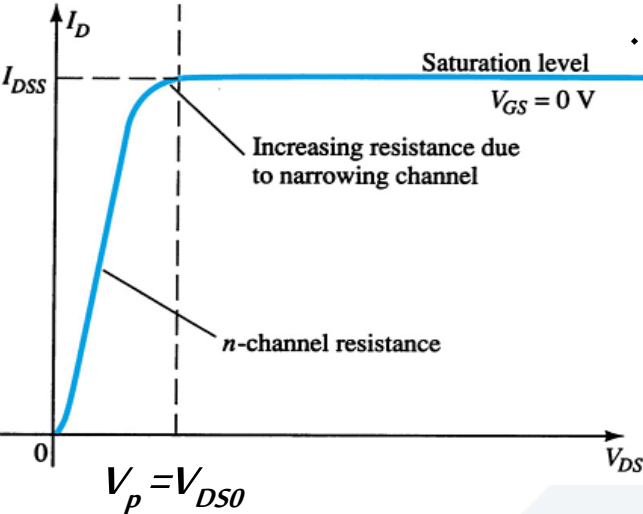
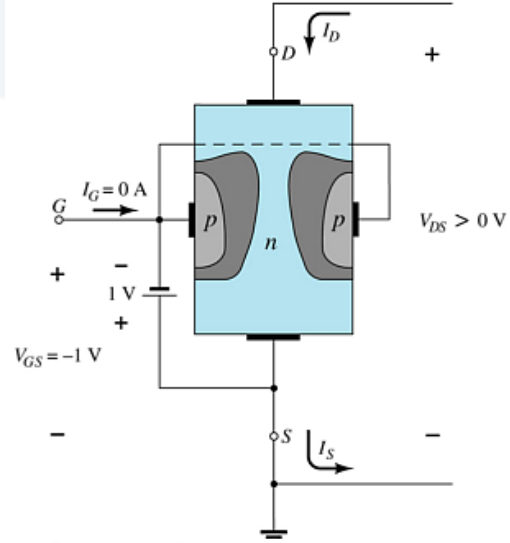
١-٣- إذا وعند جهد معين، يسمى جهد الانقباض أو جهد الاختناق $V_{DS} = V_{DS0} = V_p$ ، يمكن للتيار أن ينعدم وفي هذه الحالة يكون $V_{DS} > |V_p|$.



١-٤- بزيادة V_{DS} إلى قيم اكبر يصل الترانزستور إلى منطقة الانهيار

JFET Operating Characteristics

خصائص العمل



** هناك حالتين أساسيتين للترانزستور:

٢- $V_{GS} < 0$ في هذه الحالة يكون متصل GS محيز عكسيا أساسا عند قيم اصغر V_{DS} القناة تضيق نتيجة زيادة المنطقة المجردة بسرعة اكبر وعند قيم اقل لجهد مصرف- منبع $V_{DS} = V_{DS1}$ ونصل لتيار الإشباع I_{DSS} وهكذا يتم التحكم بمرور التيار بتغير جهد العتبة السالب إلى قيم سالبة أكبر.

١-٢- $V_{GS} \approx V_P < 0$ في هذه الحالة المتصل GS محيز عكسيا $\Rightarrow$ القناة تضيق جدا حتى تغلق $d \approx 0$ لان عرض المنطقة المجردة يأخذ كامل القناة وبالتالي مقاومتها تزداد إلى اللانهاية إذا سينعدم التيار وفق $d \approx 0 \Rightarrow R_{sh} \approx \infty$ عند ذلك يسمى جهد البوابة بجهد الانقباض أو الاختناق V_P , زيادة V_{GS} بعد هذه القيمة لا تولد أي زيادة في التيار. يكون جهد الانقباض ذو قيمة سالبة عندما تكون القناة نوع n وذو قيمة موجبة عندما تكن القناة نوع p.

ملاحظات:

١ - عندما يصبح V_{GS} أكثر سلبية، يصبح V_{DS0} أصغر أي يصل الترانزستور إلى الاختناق أسرع.

٢- $V_{GS} = V_P$ يؤدي إلى أن التيار I_D ينعدم.

٣- عندما $V_{DS} \geq V_{DSmax}$ يزداد I_D بسرعة كبيرة وينهار الترانزستور

المميزات المصرفية (مميزة الخرج) ومناطق عمل الترانزستور JFET n-Channel Output Characteristics & Operation Region

عبارة عن علاقة تيار المصرف مع جهد المصرف-منبع أي $I_D = F(V_{DS})/V_{GS} = ct$

التحليل السابق لعمل الترانزستور يقودنا إلى الميزة المصرفية التالية كذلك المعادلة التجريبية التالية:

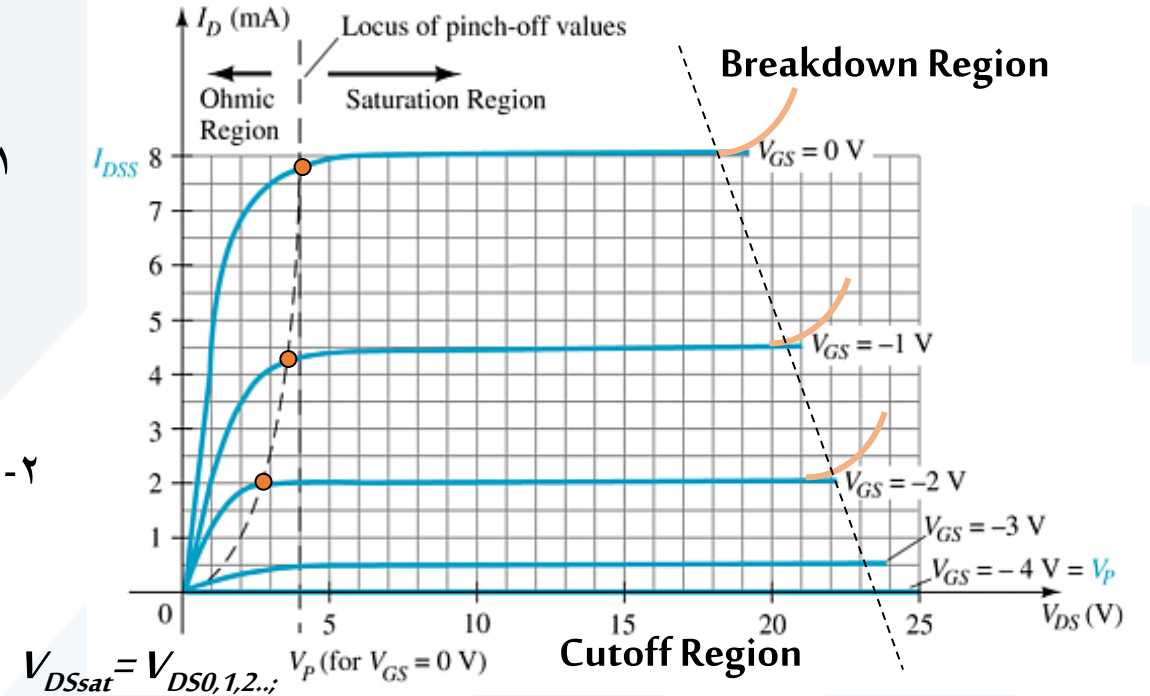
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

مناطق عمل الترانزستور:

١- المنطقة الأومية: حيث يسلك الترانزستور سلوك مقاومة أومية تتغير بتغير V_{DS} عند ثبات V_{GS} وتقسم لقسمين منطقة خطية وأخرى غير خطية يتم فيها العمل الفعال للترانزستور، هنل يستخدم ال JEF كمقاومة متغيرة (ديناميكية r_d) متحكم بها عن طريق V_{GS} .

٢- منطقة الإشباع: يصبح تيار الترانزستور ثابت تقريبا $I_D = \text{const}$ ، نلاحظ أن قيمة الجهد V_{DS} التي يدخل بها الترانزستور منطقة الإشباع تتغير تبعا لقيمة V_{GS} كلما زاد في السلبية انخفض جهد الإشباع (لاحظ منحنى تغير موقع V_{DSsat}).

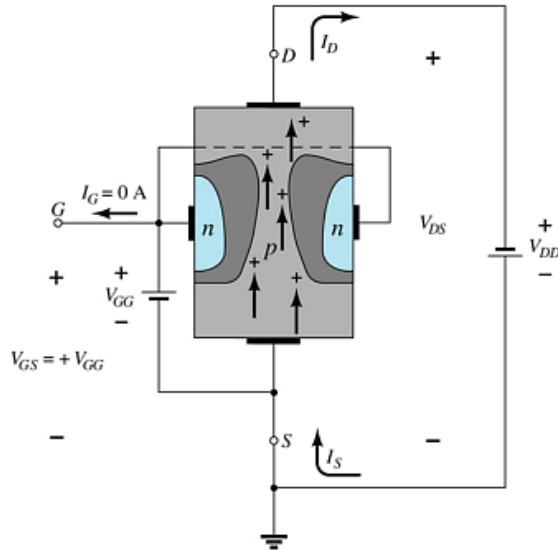
٣- منطقة القطع: الترانزستور قاطع لا يمر تيار $I_D = 0$ يكون عندما $|V_{GS}| = |V_P|$ وقد يوجد تيار إشباع عكسي صغير جدا ويهمل.



٤- منطقة الانهيار: زيادة الجهد V_{DS} لقيم موجبة أكبر من V_{DSmax} يؤدي لزيادة I_D بشكل كبير حتى ينهار الترانزستور عند V_{GS} ثابت.

المميزات المصرفية (مميزة الخرج)، نوع القناة P

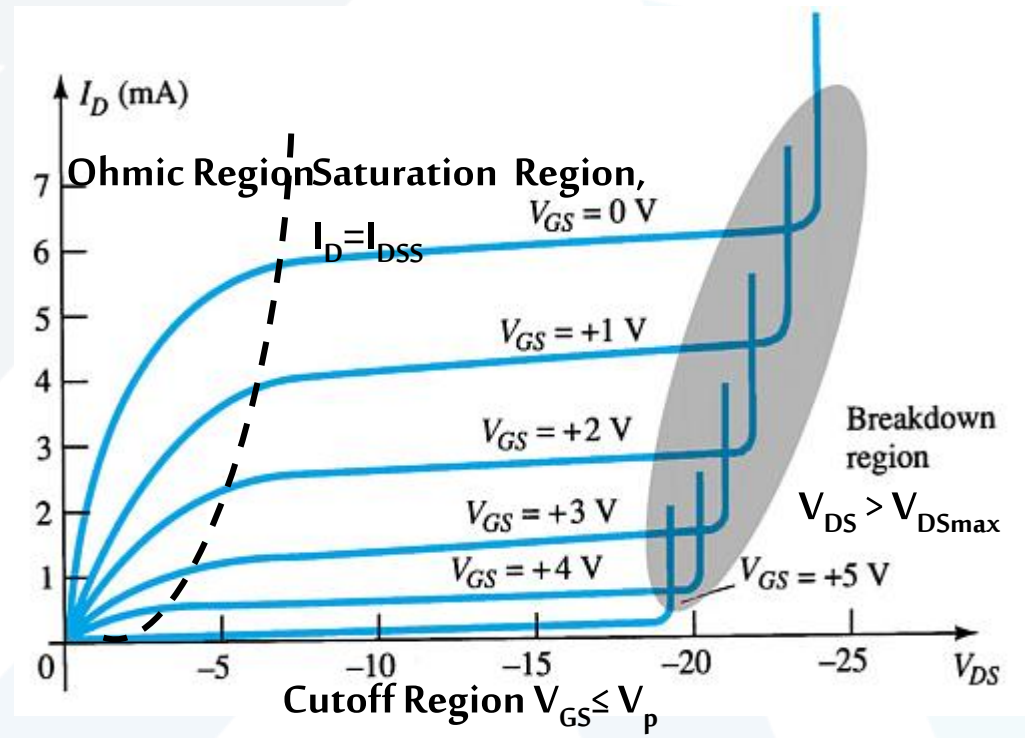
-- عبارة عن علاقة تيار المصرف مع جهد المصرف-منبع مع كون القناة نوع p أي $I_D = F(V_{DS})/V_{GS} = ct$ ، الميزة هي نفسها للقناة نوع n ولكن يختلف التقطيب لكل من جهد البوابة V_{GS} بحيث يصبح موجبا والجهد V_{DS} تعكس قطبيته وتعكس اتجاهات التيارات I_D & I_S . تبقى مناطق العمل بدون تغيير.



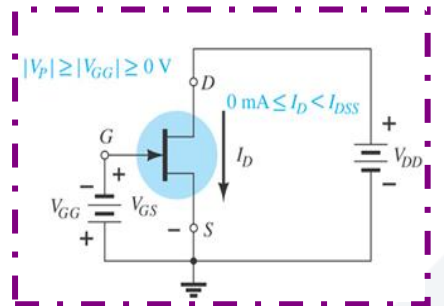
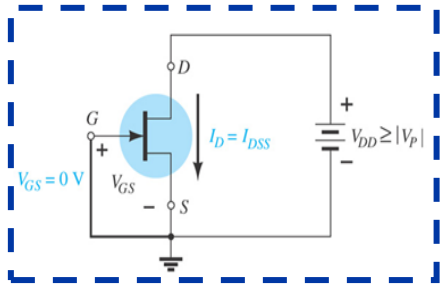
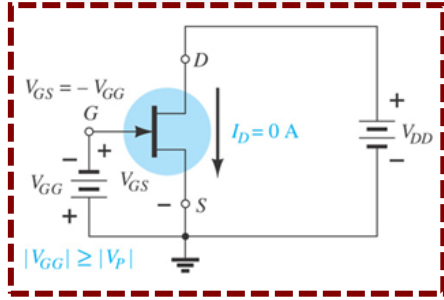
As V_{GS} increases more positively

- The depletion zone increases
- I_D decreases ($I_D < I_{DSS}$), $V_{GS} = V_p \Rightarrow I_D = 0A$

JFET p-Channel Output Characteristics



JFET Circuits & Operation Region



تشكيلات و أنماط العمل للترانزستور الحقل

تشكيلات الترانزستور: ١ - دائرة المنبع المشترك (CS) Common Source

٢ - دائرة المصرف المشترك (CD) Common Drain

٣ - دائرة البوابة المشتركة (CG) Common Gate

أنماط عمل الترانزستور:

١- نمط القطع: في هذا النمط يكون لدينا $|V_{GS}| \geq |V_P|$ ، أما $V_{DS} < V_{DS,sat}$ وبالتالي تيار المصرف معدوم $I_D = 0$.

٢- نمط الإشباع: في هذا النمط يكون لدينا $|V_{GS}| < |V_P|$ or $V_{GS} = 0$ ، أما $V_{DS} > V_{DS,sat}$ وبالتالي تيار المصرف يساوي $I_D = I_{DSS}$.

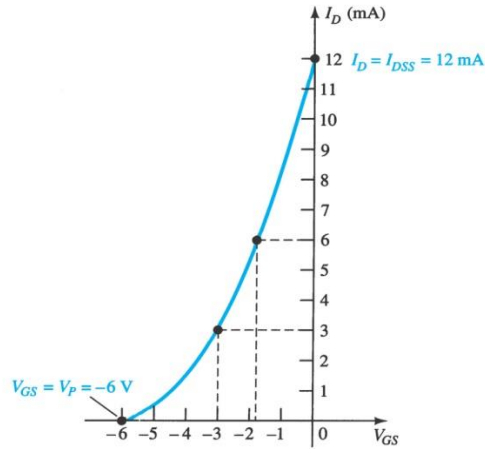
٣- نمط المقاومة الأومية: في هذا النمط يكون لدينا $|V_{GS}| < |V_P|$ ، أما $V_{DS} < V_{DS,sat}$ وبالتالي تيار المصرف يزداد بشكل خطي مع زيادة الجهد V_{DS} .

١-٣- نمط العمل الفعال: في هذا النمط يكون لدينا جهد المصرف أصغر من جهد الإشباع $V_{DS} < V_{DS,sat}$ وبالتالي العلاقة بين تيار المصرف I_D والجهد V_{DS} تصبح غير خطية .

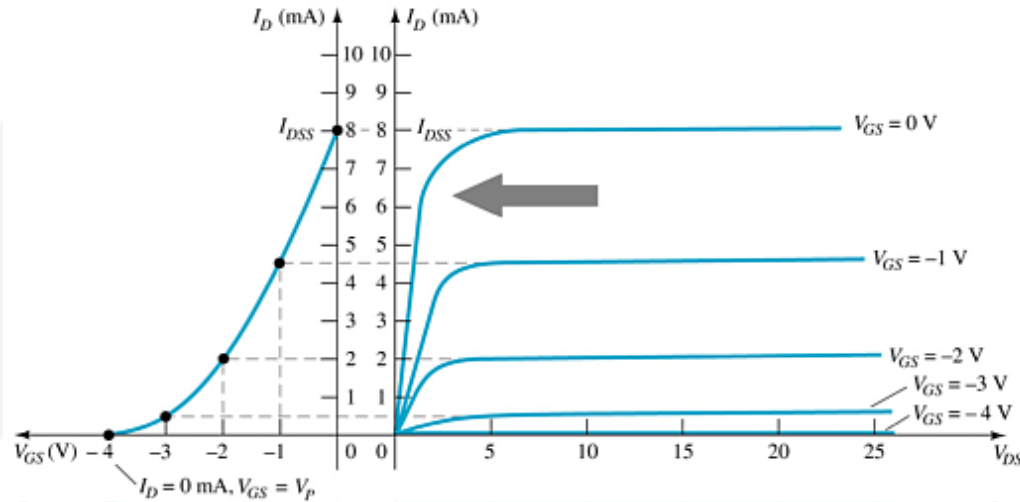
JFET n-Channel Transfer Characteristics & Relationship

ومعادلة الترانزستور n مميزات التحويل (العبور)، نوع القناة
في الترانزستور N-JFET مميزة التحويل هي علاقة الدخل V_{GS} مع الخرج I_D وهي تتبع العلاقة غير الخطية التالية: $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$ هذه العلاقة هي علاقة غير خطية تؤدي إلى تزايد أسي نتيجة التربيع الموجود على الجهد V_{GS} ، حيث: V_{GS} يمثل عنصر التحكم و I_{DSS} و V_P ثابتان.

When $V_{GS}=0\text{ V} \Rightarrow I_D=I_{DSS}\text{ mA}$, When $V_{GScut}=V_P \text{ V} \Rightarrow I_D=0\text{ mA}$



This graph shows the value of I_D for a given value of V_{GS} .



علاقة المقاومة الديناميكية للترانزستور عندما يعمل في المنطقة الأومية
$$r_d = r_o / \left(1 - \frac{V_{GS}}{V_P}\right)$$

من أجل التحليل المستمر للترانزستور (دائرة DC) و من أجل إيجاد رابطة بين معاملات الترانزستور نرسم الميزة التحويلية حسب العلاقة النظرية السابقة إلى جانب مميزة الخرج و بالتالي يمكن عمل تقاطعات بين المنحنيين.

JFET Parameters

JFE المعاملات الأساسية للترانزستور

من خلال مميزات الترانزستور الحقلي، مميزة الخرج ومميزة النقل يمكن تمييز ثلاث ثوابت أساسية:

١- الناقلية التبادلية (g_m): هي نسبة تغير تيار المصدر I_D إلى تغير جهد البوابة V_{GS} وذلك عند ثبات جهد المصدر V_{DS} أي للترانزستور الحقلي نوع JFE & MOSFET-D تعطى بـ: (يمكن حسابها للترانزستور MOSFET-E)

$$g_m [mho = \Omega^{-1}] = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DS}=Const} = \frac{d}{dV_{GS}} \left[I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \right] = g_{m0} \left(1 - \frac{V_{GS}}{V_P} \right) \quad \text{with} \quad g_{m0} = \frac{-2I_{DSS}}{V_P}$$

٢- المقاومة الدينامكية للمصدر (r_d): هي نسبة تغير جهد المصدر V_{DS} إلى تغير تيار المصدر I_D وذلك عند ثبات جهد البوابة V_{GS} أي للترانزستور الحقلي تعطى بـ:

$$r_d [M\Omega] = \left. \frac{dV_{DS}}{dI_D} \right|_{V_{GS}=Const} \Rightarrow g_d [mho] = \frac{1}{r_d}$$

٣- معامل التضخيم بالجهد (μ): هي نسبة تغير جهد المصدر V_{DS} إلى تغير جهد البوابة V_{GS} وذلك عند

$$\mu = \left. \frac{dV_{DS}}{dV_{GS}} \right|_{I_D=Const} \Rightarrow \mu = \frac{dV_{DS}}{dI_D} \cdot \frac{dI_D}{dV_{GS}} = r_d \cdot g_m$$

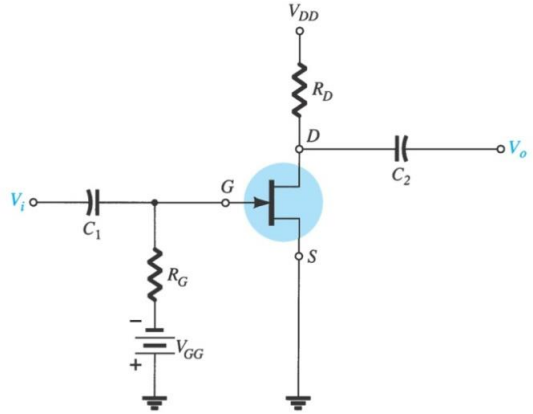
ثبات تيار المصدر I_D أي للترانزستور الحقلي تعطى بـ:

JFET DC Circuits and Line

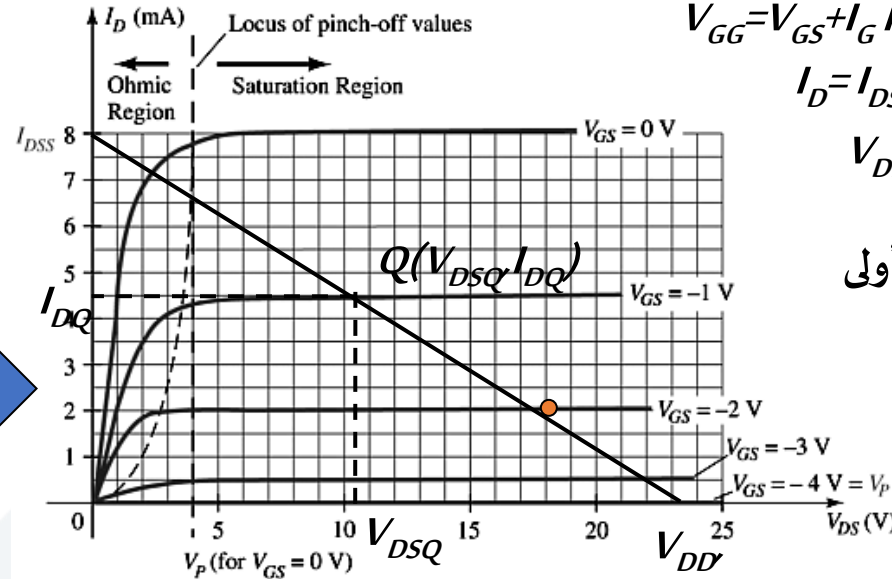
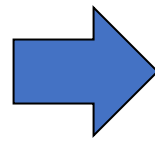
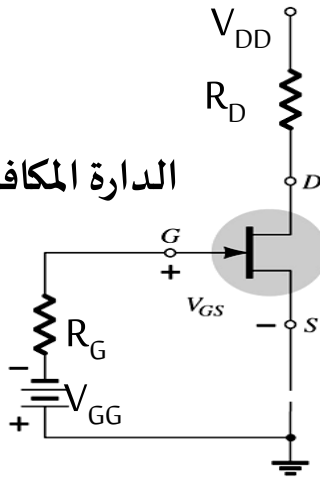
طرق انحياز الترانزستور JFE وتحديد خط الحمل الساكن

١- الانحياز عن طريق البوابة (جهد بوابة ثابت): يتم ذلك بطريقتين ، الاولى: عن طريق منبع جهد ثابت V_{GG} عبر مقاومة موصولة إلى البوابة كما الدارة التالية.

لحساب نقطة العمل، نأخذ دارة الدخل ونوجد قيمة جهد الدخل V_{GS} ثم نحسب التيار I_D عن طريق المعادلة العامة ثم نحسب جهد المصروف V_{DS} .



الدارة المكافئة المستمرة



من دارة الدخل: $V_{GG} = V_{GS} + I_G R_G$ but $I_G = 0 \Rightarrow V_{GS} = -V_{GG}$

من المعادلة العامة نحسب: $I_D = I_{DSS} (1 - V_{GS}/V_P)^2$

ثم من دارة الخرج: $V_{DD} = V_{DS} + I_D R_D$

نقطة أولى When $V_{DS} = 0$ v $\Rightarrow I_{Dmax} = V_{DD}/R_D$ mA,

نقطة ثانية When $I_D = 0$ mA $\Rightarrow V_{DS} = V_{DD}$ v

JFET DC Circuits and Line

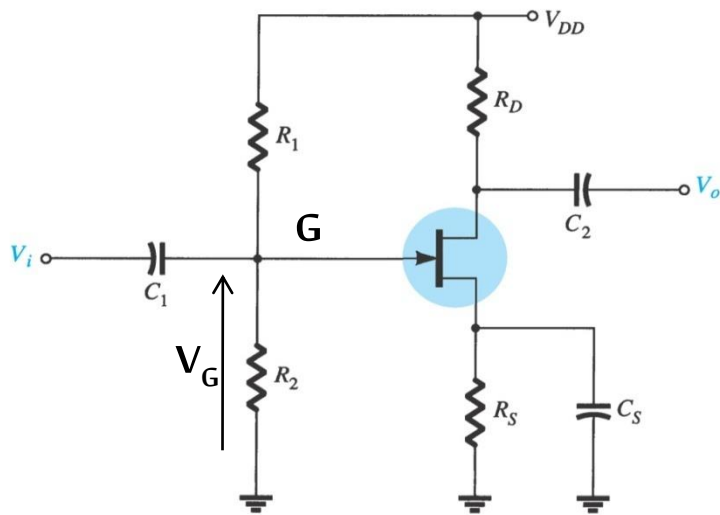
طرق انحياز الترانزستور JFE وتحديد خط الحمل الساكن

١- الانحياز عن طريق البوابة (جهد بوابة ثابت): يتم ذلك بطريقتين ، الثانية: عن طريق مقسم جهد ثنائي عبر مقاومتين موصولتين على التفرع مع البوابة. لحساب نقطة العمل، نأخذ دائرة الدخل ونوجد علاقة الجهد الدخل V_{GS} بتطبيق كيرشوف وحساب جهد النقطة G:

من دائرة الدخل: $V_G = V_{GS} + I_D R_S$ بأخذ مكافئ ثنائي نجد أن: $V_{Th} = V_{DD} R_2 / (R_1 + R_2)$, $R_{Th} = R_1 // R_2$

but $I_G = 0$, we can write: $V_{GS} = V_G - I_D R_S = V_{Th} - I_D R_S$, $I_D = 0 \Rightarrow V_{GS} = V_G$

من المعادلة العامة نحسب: $I_D = I_{DSS} (1 - V_{GS} / V_p)^2$ ونعوض في المعادلة السابقة لحساب V_{GS}



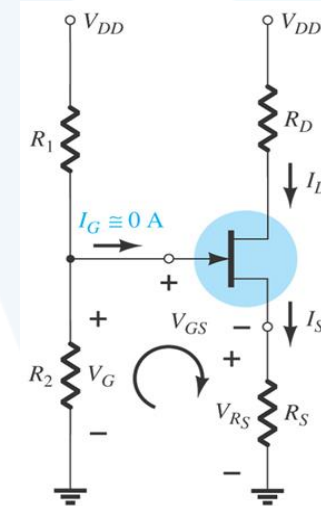
ثم من دائرة الخرج: $V_{DD} = V_{DS} + I_D (R_D + R_S) \Rightarrow$

$V_{DS} = V_{DD} - I_D (R_D + R_S)$

نرسم خط الحمل الساكن كما يلي:

نقطة أولى When $V_{DS} = 0$ v $\Rightarrow I_{Dmax} = V_{DD} / (R_D + R_S)$ mA,

نقطة ثانية When $I_D = 0$ mA $\Rightarrow V_{DS} = V_{DD}$ v



الدائرة المكافئة المستمرة

JFET DC Circuits and Line

طرق انحياز الترانزستور JFE وتحديد خط الحمل الساكن

٢- الانحياز عن طريق المنبع: يتم ذلك بطريقتين ،

الأولى: عن طريق التقطيب الذاتي للمنبع (Self Bias) عبر هبوط الجهد على المقاومة المنبع R_S حسب الـ

لإيجاد إحداثيات نقطة العمل، نأخذ دائرة الدخل ونوجد علاقة جهد الدخل V_{GS} بتطبيق كيرشوف:

$$0 = V_{GS} + I_G R_G + I_D R_S \quad \text{but} \quad I_G = 0 \Rightarrow V_{GS} = -I_D R_S \quad \text{من دائرة الدخل:}$$

من المعادلة العامة نحسب: $I_D = I_{DSS}(1 - V_{GS}/V_p)^2$ ونعوض في المعادلة السابقة لحساب V_{GS} ، أي بإيجاد الحل المشترك لكلتا المعادلتين.

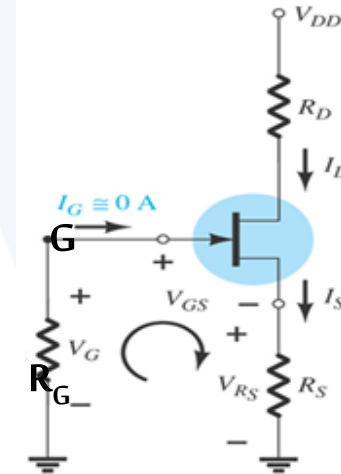
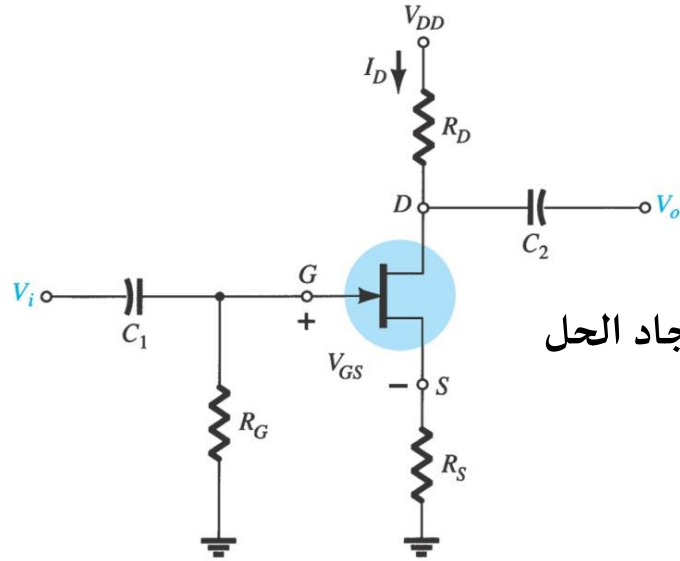
ثم من دائرة الخرج:

$$V_{DD} = V_{DS} + I_D (R_D + R_S) \Rightarrow V_{DS} = V_{DD} - I_D (R_D + R_S)$$

نرسم خط الحمل الساكن كما يلي:

$$\text{نقطة} \quad \text{When } V_{DS} = 0 \text{ v} \Rightarrow I_{Dmax} = V_{DD} / (R_D + R_S) \text{ mA,}$$

$$\text{أولى} \quad \text{نقطة ثانية} \quad \text{When } I_D = 0 \text{ mA} \Rightarrow V_{DS} = V_{DD} \text{ v}$$



الدائرة المكافئة
المستمرة

JFET DC Circuits and Line

طرق انحياز الترانزستور JFE وتحديد خط الحمل الساكن

٢- الانحياز عن طريق المنبع:

الثانية: عن طريق المنبع (Source Bias) عبر وصل منبع جهد V_S على التسلسل مقاومة المنبع R_S ويقوم بتقطيب المتصل بوابة - منبع حسب الدارة المبينة جانبا، يمكن وصل مقاومة R_G على البوابة.

لإيجاد إحداثيات نقطة العمل، نأخذ دارة الدخل ونوجد علاقة جهد الدخل V_{GS} بتطبيق كيرشوف:

$$V_{SS} = V_{GS} + I_D R_S \Rightarrow V_{GS} = V_{SS} - I_D R_S \quad \text{من دارة الدخل:}$$

من المعادلة العامة نحسب: $I_D = I_{DSS}(1 - V_{GS}/V_p)^2$ ونعوض في المعادلة السابقة

لحساب V_{GS} ، أي بإيجاد الحل المشترك لكلا المعادلتين نجد V_{GS} & I_D ثم نحسب V_{DS} .

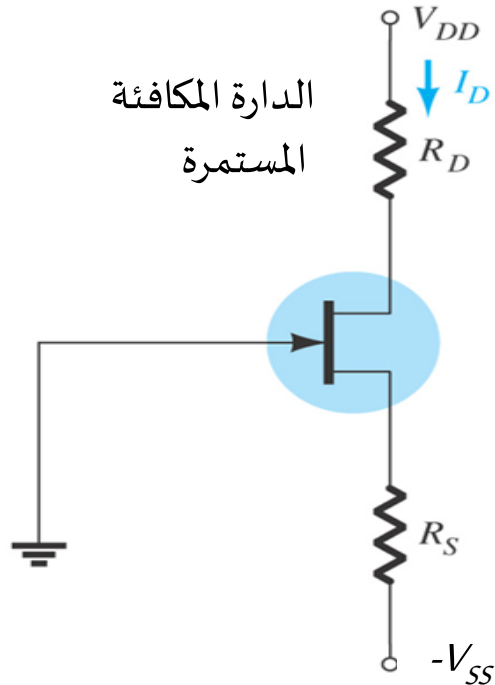
ثم من دارة الخرج:

$$V_{DD} + V_{SS} = V_{DS} + I_D (R_D + R_S) \Rightarrow V_{DS} = V_{DD} + V_{SS} - I_D (R_D + R_S)$$

نرسم خط الحمل الساكن كما يلي:

نقطة أولى When $V_{DS}=0$ v $\Rightarrow I_{Dmax} = (V_{SS} + V_{DD}) / (R_D + R_S)$ mA,

نقطة ثانية When $I_D=0$ mA $\Rightarrow V_{DS} = V_{SS} + V_{DD}$ v

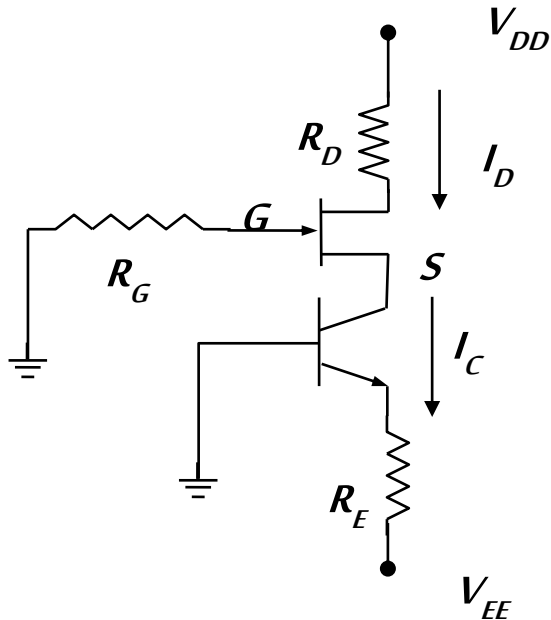


JFET DC Circuits and Line

طرق انحياز الترانزستور JFE وتحديد خط الحمل الساكن

٢- الانحياز عن طريق منبع تيار باستخدام الBJT:

هو أحد أنواع التقطيب التي تستخدم الترانزستور ثنائي القطبية مع الترانزستور الحقلي، الغاية منه هي الحصول على تيار مصرف ثابت ومستقل بقيمته عن تغيرات V_{GS} ، وله الدارة التالية، حيث يقوم الترانزستور ثنائي القطبية بدور منبع تيار ذي قيمة يعبر عنها بالعلاقة التالية:



$$I_C \cong \frac{V_{EE} - V_{BE}}{R_E}$$

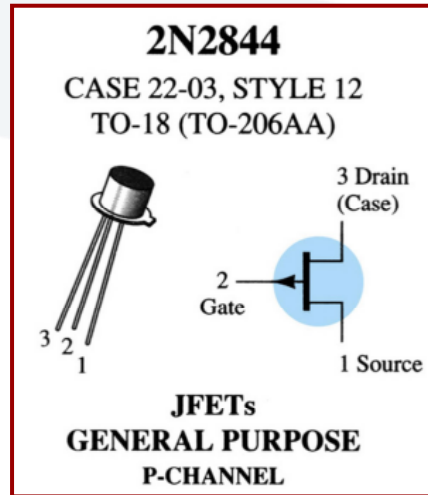
وبما أن مجمع الترانزستور ثنائي القطبية موصول على التسلسل مع منبع الترانزستور الحقلي فإن: $I_D = I_C$ وذلك أيّاً كانت قيمة V_{GS} .

دارة التحيز باستخدام BJT كمنبع للتيار.

JFET Specifications Sheet

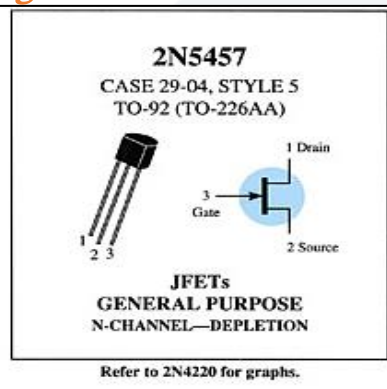
JFET Case Construction and Terminal Identification

Electrical Characteristics



Maximum Ratings

MAXIMUM RATINGS			
Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	25	Vdc
Reverse Gate-Source Voltage	V_{GSR}	-25	Vdc
Gate Current	I_G	10	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	310 2.82	mW mW/ $^\circ\text{C}$
Junction Temperature Range	T_J	125	$^\circ\text{C}$
Storage Channel Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$



ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)					
Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Gate-Source Breakdown Voltage ($I_G = -10 \mu\text{Adc}$, $V_{DS} = 0$)	$V_{(BR)GSS}$	-25	—	—	Vdc
Gate Reverse Current ($V_{GS} = -15 \text{ Vdc}$, $V_{DS} = 0$) ($V_{GS} = -15 \text{ Vdc}$, $V_{DS} = 0$, $T_A = 100^\circ\text{C}$)	I_{GSS}	—	—	-1.0 -200	nAdc
Gate Source Cutoff Voltage ($V_{DS} = 15 \text{ Vdc}$, $I_D = 10 \text{ nAdc}$)	$V_{GS(off)}$	-0.5	—	-6.0	Vdc
Gate Source Voltage ($V_{DS} = 15 \text{ Vdc}$, $I_D = 100 \mu\text{Adc}$)	V_{GS}	—	-2.5	—	Vdc
ON CHARACTERISTICS					
Zero-Gate-Voltage Drain Current* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$)	I_{DSS}	1.0	3.0	5.0	mAdc
SMALL-SIGNAL CHARACTERISTICS					
Forward Transfer Admittance Common Source* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ kHz}$)	$ y_{fs} $	1000	—	5000	μmhos
Output Admittance Common Source* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ kHz}$)	$ y_{os} $	—	10	50	μmhos
Input Capacitance ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ MHz}$)	C_{iss}	—	4.5	7.0	pF
Reverse Transfer Capacitance ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ MHz}$)	C_{rss}	—	1.5	3.0	pF

*Pulse Test: Pulse Width $\leq 630 \text{ ms}$; Duty Cycle $\leq 10\%$