

أسس الالكترونياات Basic-Electronics

تحييز الترانزستور ثنائي القطبية (نقطة العمل)

DC – Biasing Bipolar Junction Transistors (BJT)

مدرس المقرر

د. السموءل صالح

Regions Operation of Transistors

مناطق عمل للترانزستور

الانحياز: تمثل تطبيق جهد تغذية مستمر DC على الترانزستور (على متصلي الترانزستور) حتى يتم تحديد نقطة عمله Q-Point في إحدى مناطق العمل التالية.

مناطق عمل الترانزستور

A- Active or Linear Region Operation

J_{BE} is forward biased

J_{BC} is reverse biased

$$V_{CESat} \leq V_{CE} \leq V_{CEmax}$$

$$I_{CEO} \leq I_C \leq I_{Cmax}, V_{CE} I_C \leq P_{Cmax}$$

B- Cutoff Region Operation

J_{BE} is reverse biased

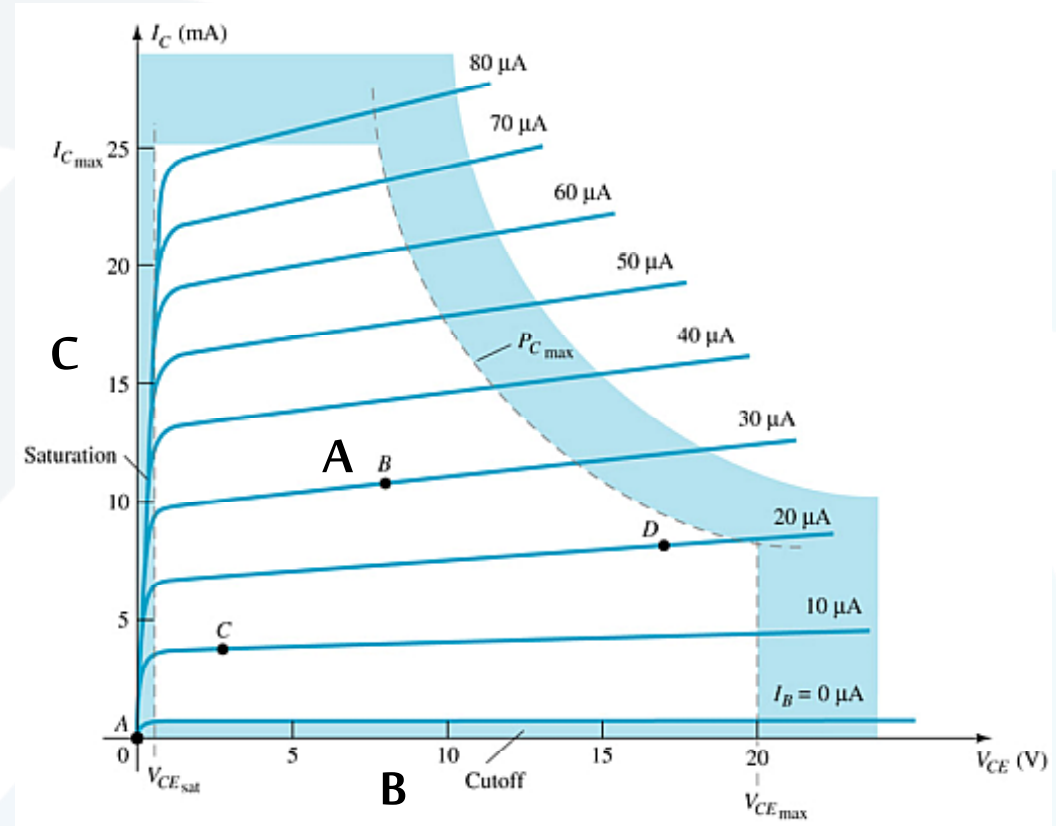
$$I_B = 0, I_C = I_{CEO} = \beta I_{CBO} \approx 0$$

C- Saturation Region Operation

J_{BE} is forward biased

J_{BC} is forward biased

$$I_C = I_{Cmax} \geq I_{CSat} = V_{CC} / R_C \Rightarrow V_{CE} = V_{CESat} \approx 0$$



Load Line Analysis

خط الحمل الساكن وتحديد نقطة العمل

تحدد نقطة العمل بالخطوات التالية:

١- رسم خط الحمل الساكن على خواص الدخل من اجل حساب تيار الدخل (القاعدة) وذلك من حلقة الدخل.

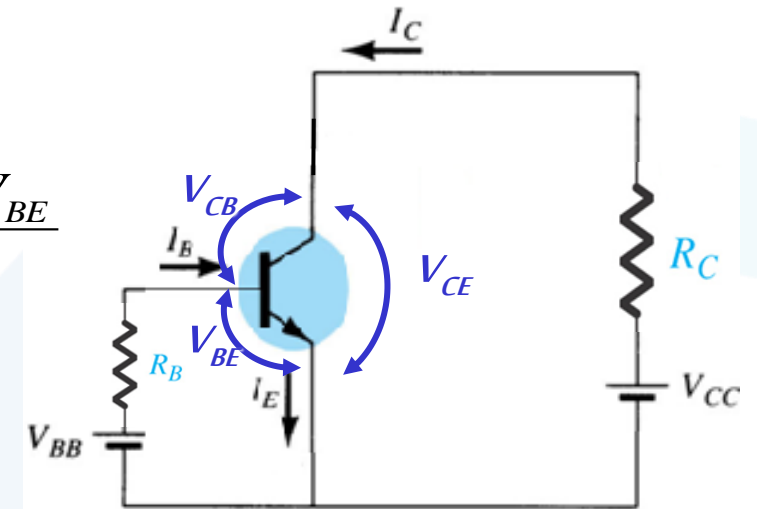
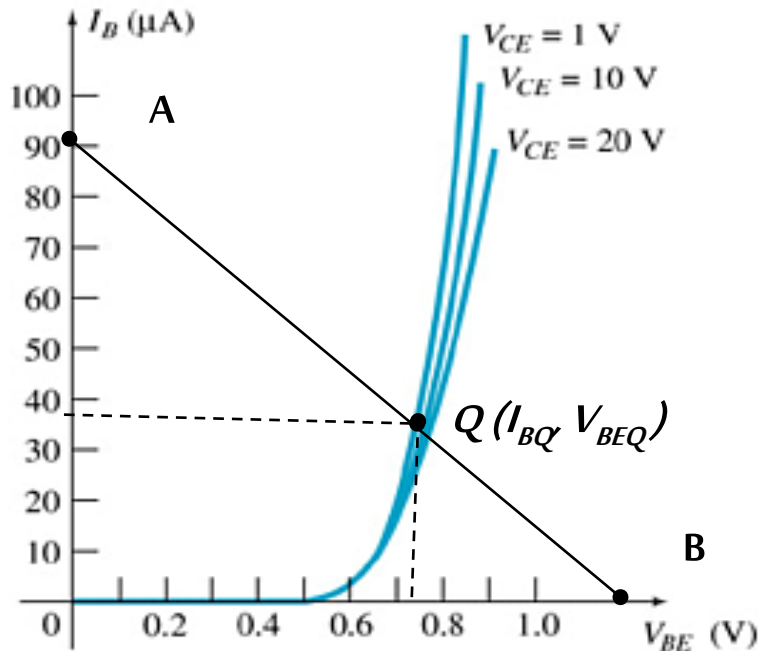
نطبق كيرشوف في الدخل

(خط الحمل الساكن لدارة الدخل)

$$V_{BB} = V_{BE} + I_B R_B \Rightarrow I_B = \frac{V_{BB} - V_{BE}}{R_B}$$

Point A; $V_{BE} = 0 \Rightarrow I_B = \frac{V_{BB}}{R_B}$

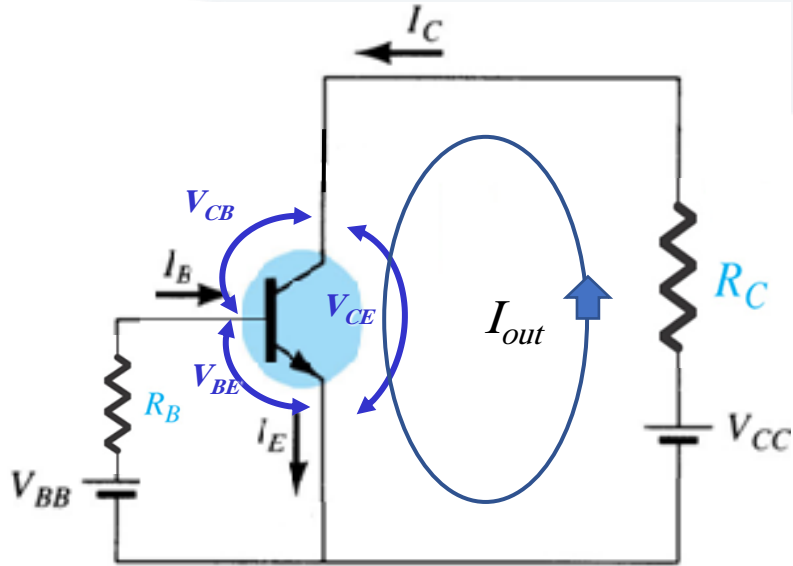
Point B; $I_B = 0 \Rightarrow V_{BE} = V_{BB}$



Load Line Analysis

خط الحمل الساكن وتحديد نقطة العمل

٢- رسم خط الحمل الساكن على خواص الخرج من اجل حساب تيار وجهد نقطة العمل في الخرج مع الأخذ بعين الاعتبار تقاطع هذا الخط مع منحنى تيار القاعدة المحسوب من دائرة الدخل (١).



نطبق كيرشوف في الخرج

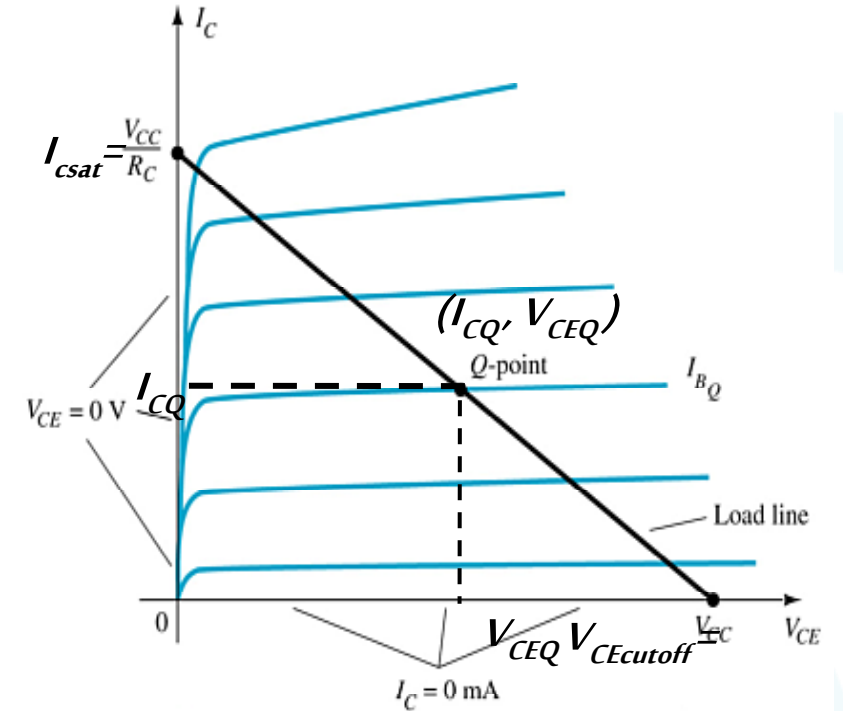
$$\sum U_{out} = 0$$

$$V_{CC} - V_{CE} - I_C R_C = 0$$

$$V_{CC} = V_{CE} + I_C R_C$$

Point A: $V_{CE} = 0 \Rightarrow I_{CSat} = \frac{V_{CC}}{R_C}$

Point B: $I_C = 0 \Rightarrow V_{CEcutoff} = V_{CC}$



The Q-point is the particular operating point

Load Line Analysis and Q-Point

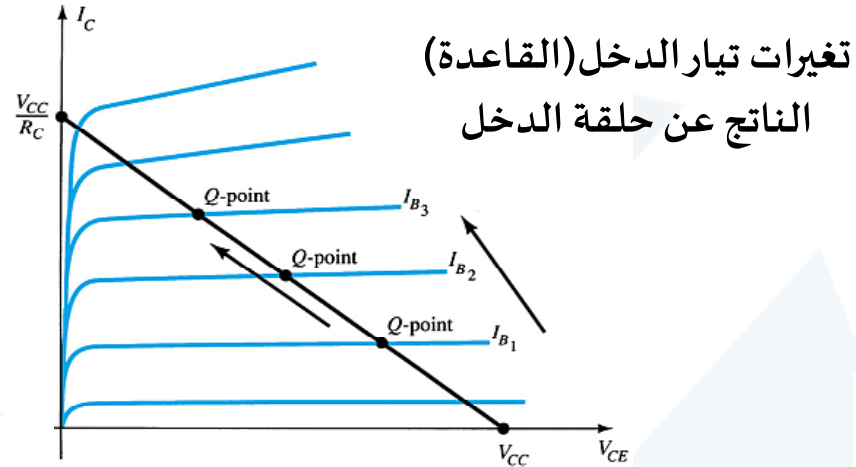
مناقشة خط الحمل الساكن ونقطة العمل

Movement of the Q-point with increasing level of I_B

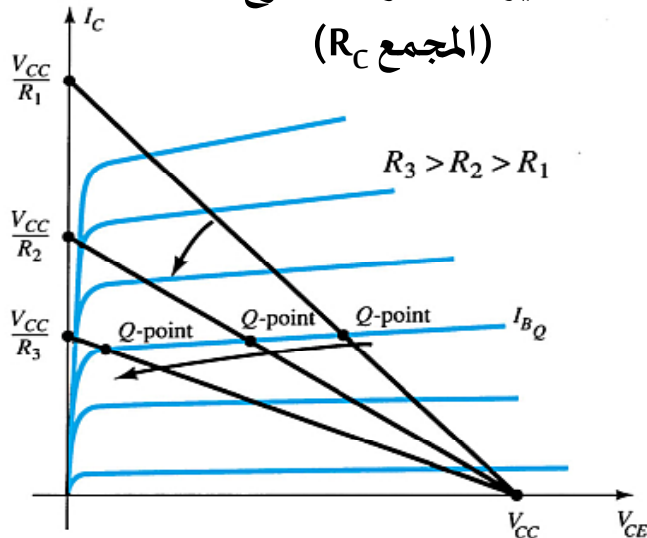
$$V_{CC} = V_{CE} + I_C R_C$$

$$V_{CE} = 0 \Rightarrow I_{CSat} = \frac{V_{CC}}{R_C}$$

$$I_C = 0 \Rightarrow V_{CECutoff} = V_{CC}$$



تغيرات مقاومة الخرج
(المجمع R_C)

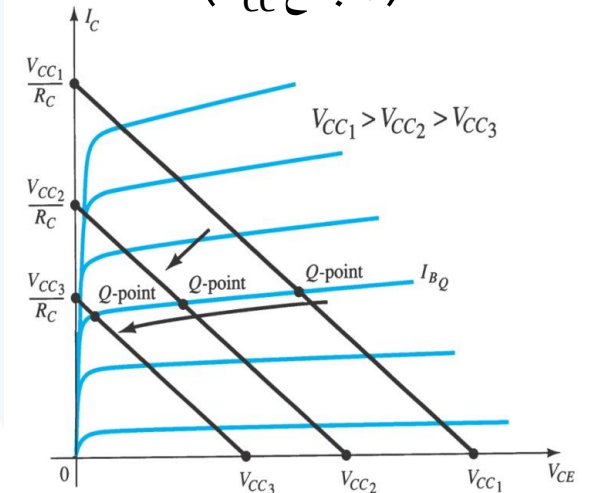


$$I_{CSat1,2,3} = \frac{V_{CC}}{R_{C1,2,3}}$$

$$V_{CECutoff1,2,3} = V_{CC1,2,3}$$

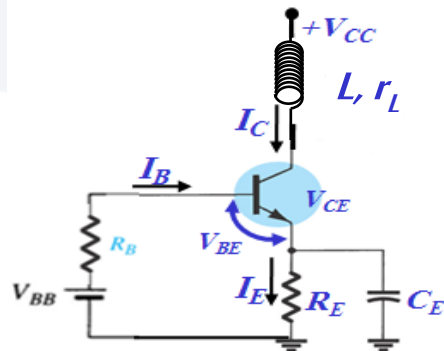
$$I_{CSat1,2,3} = \frac{V_{CC1,2,3}}{R_C}$$

تغيرات جهد تحيز الخرج
(المجمع V_{CC})



DC- Load Line Analysis

خط الحمل الساكن لدارة بحمل مكون من ملف أو محولة



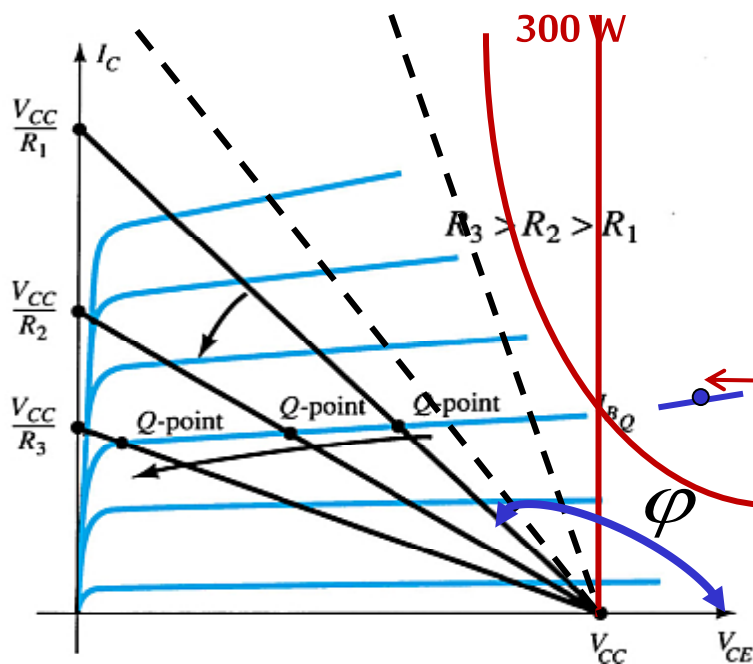
-- معادلة الخرج في الدارة المبينة جانبا وقبل استبدال المقاومة R_C بملف (خائق) تعطي خط الحمل الساكن الموضح سابقا

$$V_{CC} = V_{CE} + I_C R_C$$

-- تغيرات مقاومة الخرج (المجمع R_C) مع ثبات V_{CC} والتي تمثل الميل يؤدي إلى أن جميع خطوط الحمل الساكن الناتجة تمر بنقطة واحدة، هي:

$$I_C = 0 \Rightarrow V_{CE} = V_{CC}$$

-- تغيرات المقاومة R_C يتم في المجال $[0 \rightarrow \infty]$ وبالتالي ميل خط الحمل الساكن الناتج يتغير ضمن المجال (الانطباق على محور الجهد $\phi=0$ والموازي لمحور التيار $\phi=\pi/2$): $\phi = \arctg\left(-\frac{I}{R_C}\right) = \left[\frac{\pi}{2} \rightarrow 0\right]$



معادلة الخرج في الدارة بعد استبدال المقاومة R_C بملف (خائق) تعطي معادلة خط الحمل الساكن التالية:

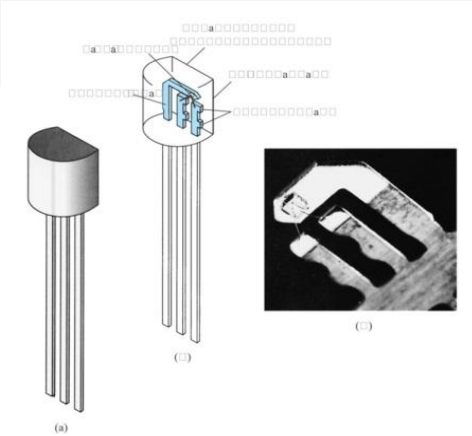
$$V_{CC} = V_{CE} + I_C r_C$$

$$\phi = \arctg\left(-\frac{I}{0}\right) = \frac{\pi}{2}$$

لكن عند التيار المستمر تكون $r_C = 0$ وبالتالي ميل الخط هو ونقطة العمل تتجه إلى منطقة الانهيار إذا زيادة التيار => زيادة الحرارة => نضع مقاومة الحمل الحراري R_E & C_E حيث تبعد هذه المقاومة كثيرا من الاستطاعة (الحرارة) عند غياب الإشارة المتناوبة حيث يكون ميل الخط في هذه الحالة $1/R_E$ والديناميكي $1/X_L$

T Effect and Transistor Breakdown

تأثير درجة الحرارة وانهيار الترانزستور



درجة الحرارة الكلية في الترانزستور تعطى بـ: $T_{eq} = T_j + T_C + T_{hs} + T_a$ ★

حيث: T_j الحرارة الناتجة عن المتصل. T_C الحرارة الناتجة عن غلاف العناصر الالكترونية.

T_{hs} الحرارة الناتجة عن صفائح التبريد (مصنوعة من الألمنيوم) تزداد عند تصميم ترانزستورات الاستطاعة.

T_a الحرارة الموجودة بين مشعات التبريد والوسط المحيط.

★ ظاهرة الانهيار في الترانزستور: - تحصل عند جهود عكسية منخفضة نوعا ما على المتصل I_{CB} .

- لان القاعدة رقيقة وقليلة الإشابة إذا مقاومة نوعية عالية. وتتم الآلية كما يلي:

انهيار و مرور تيار باعث مجمع كبير جدا \rightarrow قصر بين المجمع والقاعدة \rightarrow عرض القاعدة ينعدم \rightarrow عرض المنطقة المجردة \uparrow \rightarrow $-V_{CE} \uparrow$

عرض المنطقة المجردة (النزوح d) في الترانزستور عند جهد عكسي تعطى بـ: $d = \sqrt{\frac{2 \epsilon_r |V_{CE}|}{q N_D}}$ حيث:

- $\epsilon_r = \epsilon_0 \epsilon_s$ ثابت العازلية النسبي ويساوي إلى جداء ثابت العازلية للخلاء بثابت عازلية المادة نصف الناقل.

- N_D تركيز الشوائب المعطية في المجمع.

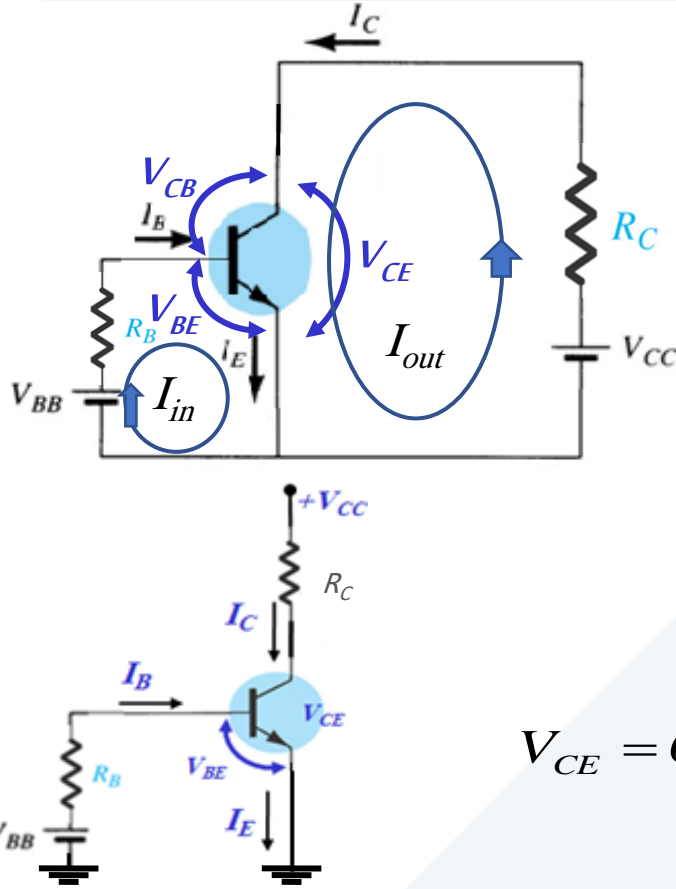
- عندما $V_{CE} = V_{BR}$ يصبح عرض المنطقة المجردة هو نفسه عرض القاعدة W عندها تصبح قيمة الجهد العكسي:

$$V_{BR} = \frac{q N_D W^2}{2 \epsilon_0 \epsilon_s}$$

DC Biasing Transistor circuit

طرق (دارات) انحياز الترانزيستور

١- الانحياز المستقل لكل من دائرة الدخل والخرج: يتم استخدام منبع جهد مستمر لكل من دائرة الدخل ودارة الخرج وذلك لتأمين انحياز الترانزيستور وتحديد نقطة العمل لاحظ الدارة التالية.



أ- في حلقة الدخل: الجهد V_{BB} يؤمن انحياز المتصل I_{BE} وبالتالي تحديد تيار القاعدة اللازم لتحديد نقطة العمل.

بفرض لدينا القيم التالية $V_{BB}=1v$; $V_{BE}=0.52 v$, $V_{CC}=10v$; $V_{CE}=0,7v$,
 $R_C=2K$, $R_B=8K$ لتطبيق كيرشوف في الدخل:

$$\sum U_{in} = 0 \Rightarrow V_{BB} - V_{BE} - I_B R_B = 0 \Rightarrow$$

$$V_{BB} = V_{BE} + I_B R_B \Rightarrow I_B = \frac{V_{BB} - V_{BE}}{R_B} = 60 \mu A$$

٢- في حلقة الخرج: الجهد V_{CC} يؤمن انحياز المتصل I_{BC} العكسي وبالتالي تحديد نقطة العمل.

لتطبيق كيرشوف في الخرج:

$$V_{CC} = V_{CE} + I_C R_C$$

$$V_{CE} = 0 \Rightarrow I_C = I_{CSat} = \frac{V_{CC}}{R_C} = 5mA \quad I_C = 0 \Rightarrow V_{CE} = V_{CECutoff} = V_{CC} = 10v$$

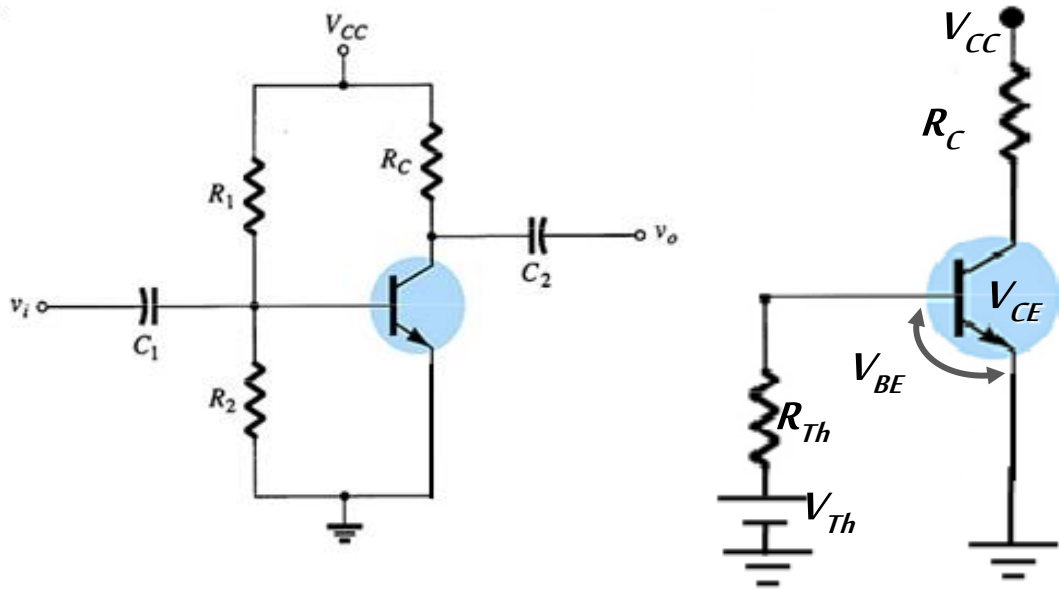
DC Biasing Transistor circuit

طرق (دارات) انحياز الترانزيستور

٢- الانحياز باستخدام منبع جهد واحد:

أ- الانحياز باستخدام مقسم جهد (مكافئ ثفينين) Voltage divider Bias:

نؤمن جهد التحيز في الدخل V_{BB} عن طريق مقسم الجهد R_1, R_2 . وهي دارة مستقرة جدا، الجهد والتيار مستقلان عن تغيرات β .



الدارة المكافئة المستمرة حسب ثفينين موضحة بالشكل بحيث يعطى جهد ومقاومة ثفينين بالعلاقة التالية:

$$V_B = V_{Th} = \frac{R_2 V_{CC}}{R_1 + R_2}, \quad R_{Th} = R_1 // R_2$$

ثم نطبق كيرشوف في الدخل للحصول على تيار القاعدة اللازم:

$$V_{Th} = V_{BE} + I_B R_{Th} \Rightarrow I_B = \frac{V_{Th} - V_{BE}}{R_{Th}}$$

$$V_{CE} = V_{CC} - I_C R_C$$

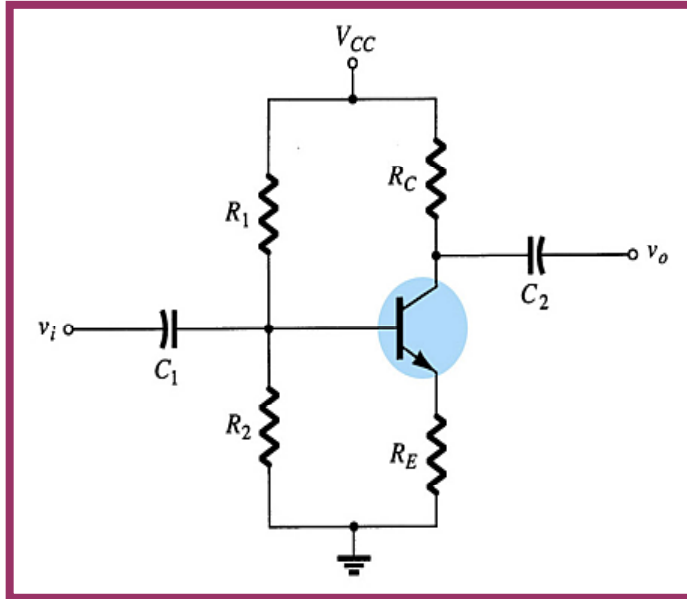
ثم نطبق كيرشوف في الخرج:

DC Biasing Transistor circuit

طرق (دارات) انحياز الترانزيستور

٢- الانحياز باستخدام منبع جهد واحد:

أ- الانحياز باستخدام مقسم جهد (مكافئ ثننين) Voltage divider Bias: ولكن بإضافة المقاومة R_E وبذلك تصبح الدارة أكثر استقراراً
نؤمن جهد التحيز في الدخل V_{BB} عن طريق مقسم الجهد R_1, R_2 .



$$V_{Th} - V_{BE} = I_B R_{Th} + I_E R_E$$

$$I_E = \frac{V_E}{R_E} \quad V_E = V_B - V_{BE}$$

ثم نطبق كيرشوف في الدخل حيث يتغير عن
الحل السابق وجود مقاومة الباعث:

$$I_E = I_C + I_\beta = I_C + I_C / \beta$$

$$I_C = \frac{\beta}{1 + \beta} I_E \cong I_E$$

$$V_{CE} = V_{CC} - I_C R_C - I_E R_E$$

$$I_E \cong I_C$$

$$V_{CE} = V_{CC} - I_C (R_C + R_E)$$

ثم نطبق كيرشوف في الخرج ليظهر اثر
مقاومة الباعث:

DC Biasing Transistor circuit

طرق (دارات) انحياز الترانزستور

٢- الانحياز باستخدام منبع جهد واحد: ب- الانحياز بتيار تغذية عكسية يمر عبر مقاومة موصولة بين الخرج والدخل: نؤمن تيار القاعدة اللازم المار عبر المقاومة R_B ، استقرار الدارة جيد ولكن تعتمد قليلا على β .

الدارة المكافئة المستمرة (دائرة الانحياز)

نطبق كيرشوف في الدخل:

$$V_{CC} - I'_C R_C - I_B R_B - V_{BE} - I_E R_E = 0$$

Where $I_B \ll I_C \Rightarrow I'_C \cong I_C$: Knowing $I_C = \beta I_B$ and $I_E \cong I_C$, the loop equation becomes:

$$V_{CC} - \beta I_B R_C - I_B R_B - V_{BE} - \beta I_B R_E = 0$$

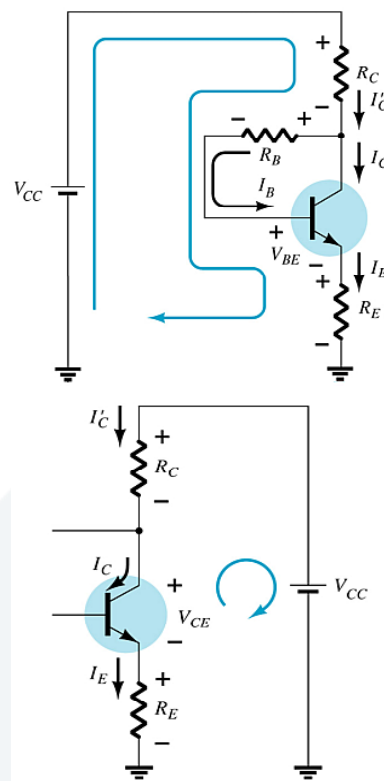
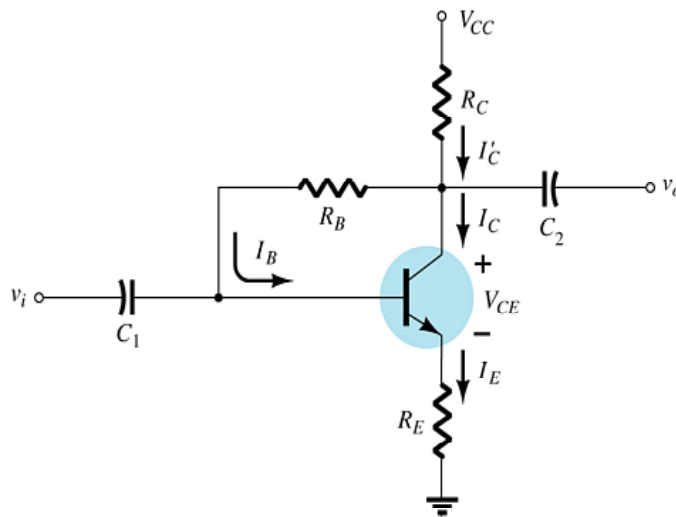
$$\text{Solving for } I_B: I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)}$$

نطبق كيرشوف في الخرج:

$$I_E R_E + V_{CE} + I'_C R_C - V_{CC} = 0$$

$$\text{Since } I'_C \cong I_C \text{ and } I_C = \beta I_B: I_C(R_C + R_E) + V_{CE} - V_{CC} = 0$$

$$\text{Solving for } V_{CE}: V_{CE} = V_{CC} - I_C(R_C + R_E)$$



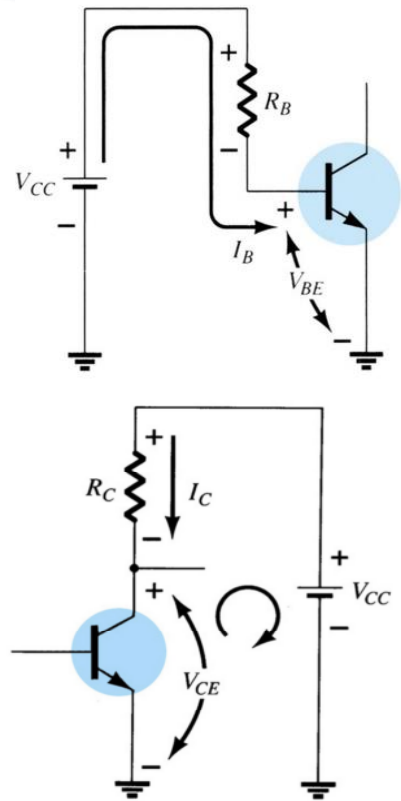
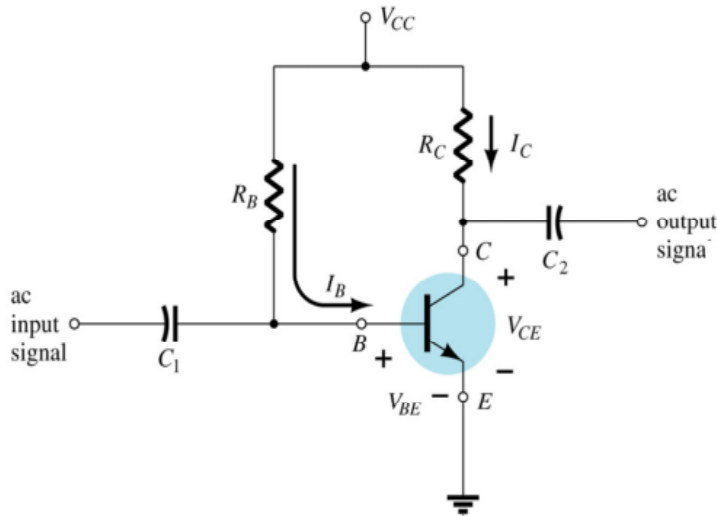
DC Biasing Transistor circuit

طرق (دارات) انحياز الترانزستور

٢- الانحياز باستخدام منبع جهد واحد: ج- الانحياز بتيار قاعدة مجمع: نؤمن جهد التحيز في الدخل V_{BB} عن طريق هبوط الجهد على المقاومة R_B .

الدائرة المكافئة المستمرة (دائرة الانحياز)

نطبق كيرشوف في الدخل:



$$+V_{CC} - I_B R_B - V_{BE} = 0$$

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

تيار المجمع يعطى بالعلاقة التالية: $I_C = \beta I_B$

نطبق كيرشوف في الخرج: $V_{CE} = V_{CC} - I_C R_C$

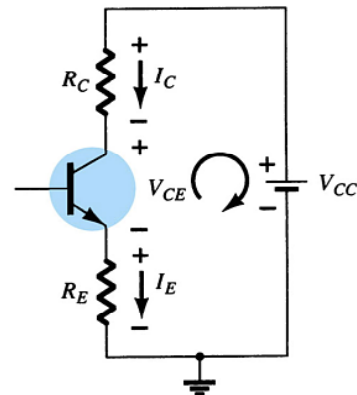
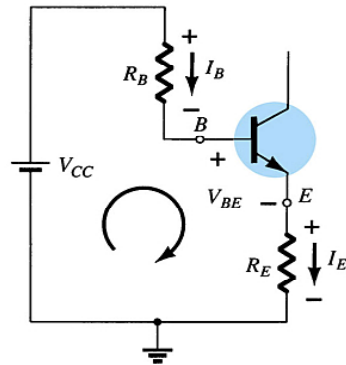
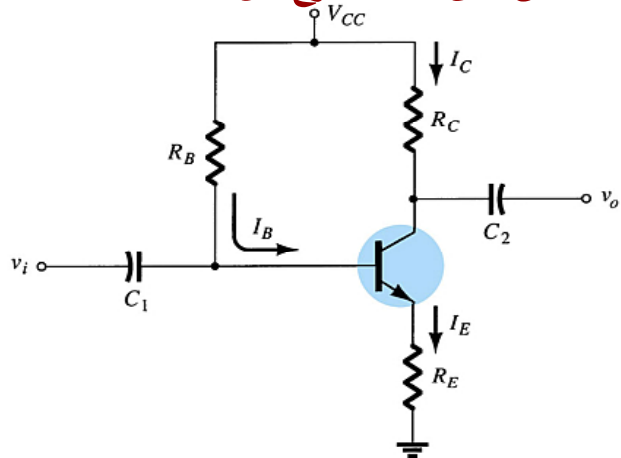
DC Biasing Transistor circuit

طرق (دارات) انحياز الترانزستور

٢- الانحياز باستخدام منبع جهد واحد: د- الانحياز بتيار قاعدة ثابت يمر عبر مقاومة R_B موصولة بين المجمع-قاعدة وجود المقاومة R_E على الباعث يساعد في التحيز ويؤدي لاستقرار دائرة الانحياز.

الدائرة المكافئة المستمرة (دائرة الانحياز)

تطبق على هذا النوع من الانحياز



Saturation and cutoff Level

$$V_{CE\text{cutoff}}:$$

$$V_{CE} = V_{CC}$$

$$I_C = 0 \text{ mA}$$

$$I_{C\text{sat}}:$$

$$V_{CE} = 0 \text{ V}$$

$$I_C = \frac{V_{CC}}{R_C + R_E}$$

نطبق كيرشوف في الدخل: $+V_{CC} - I_B R_B - V_{BE} - I_E R_E = 0$

Since $I_E = (\beta + 1)I_B$: $V_{CC} - I_B R_B - (\beta + 1)I_B R_E = 0$

Solving for I_B : $I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E}$

ملاحظة: أضيفت المقاومة $(\beta + 1)R_E$ على التسلسل مع مقاومة القاعدة ناتجة عن نقل مقاومة الباعث إلى دائرة الدخل

نطبق كيرشوف في الخرج: $+I_E R_E + V_{CE} + I_C R_C - V_{CC} = 0$

Since $I_E \cong I_C$: $V_{CE} = V_{CC} - I_C (R_C + R_E)$

$$V_E = I_E R_E$$

Also: $V_C = V_{CE} + V_E = V_{CC} - I_C R_C$

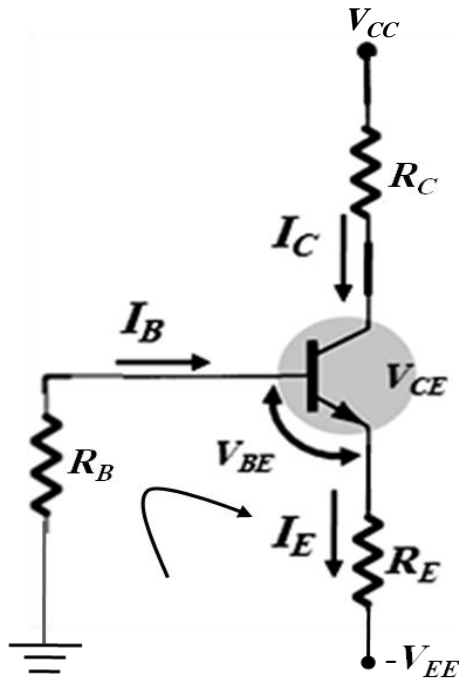
$$V_B = V_{CC} - I_B R_B = V_{BE} + V_E$$

DC Biasing Transistor circuit

طرق (دارات) انحياز الترانزستور

٣- الانحياز عن طريق الباعث: يتم الانحياز بتقطيب الترانزستور في هذه الدارة باستخدام منبعي جهد الأول عن طريق المجمع وهو V_{CC} والثاني عن طريق الباعث وهو V_{EE} .

التقطيب باستخدام منبع جهد
موصول بالباعث.



نطبق كيرشوف في الدخل: لتحديد إحداثيات نقطة العمل، نبدأ بحساب تيار الدخل I_B من خلال حلقة دارة

$$\text{الدخل، ونكتب حسب كيرشوف: } V_{EE} - V_{BE} = I_B R_B + I_E R_E$$

$$I_E = I_B + I_C = I_B + \beta I_B = (1 + \beta) I_B \quad \text{لكن لدينا من علاقة التيارات:}$$

$$I_B = \frac{V_{EE} - V_{BE}}{R_B + R_E (1 + \beta)} \quad \text{نعوض في العلاقة السابقة فينتج لدينا قيمة تيار القاعدة كما يلي:}$$

$$V_{CC} + V_{EE} = R_C I_C + V_{CE} + R_E I_E \quad \text{بتطبيق كيرشوف الثاني على دارة الخرج نحصل على العلاقة:}$$

$$V_{CE} = V_{CC} + V_{EE} - R_C I_C - I_E R_E \quad \text{وبالنتيجة:}$$

وبما أن تيار الباعث في هذه الحالة يقرب إلى تيار المجمع وفق العلاقة $I_C \approx I_E$ فإننا نحصل على معادلة خط الحمل الساكن النهائية التي تساعد في رسم هذا الخط، وتحديد نقطة العمل للترانزستور التالية:

$$V_{CE} = V_{CC} + V_{EE} - (R_C + R_E) I_C$$

Improved Biased Stability

مناقشة استقرار دارات الانحياز

الاستقرار في دارات الانحياز: يعود إلى ثبات (استقرار) كل من الجهد والتيار ضمن مجال واسع من تغيرات كلا من درجة الحرارة ومعامل β . إضافة مقاومة الباعث يعزز استقرار الترانزستور وخاصة من الناحية الحرارية.

PNP Transistors

دراسة التحيز في الترانزستور

The analysis for *pnp* transistor biasing circuits is the same as that for *npn* transistor circuits. The only difference is that the currents are flowing in the opposite direction.

