Manara University
Faculty of Engineering
Department of IT

Computer Architecture 1

8086 ملائمة الذاكرة مع المعالج

Memory Interface of the 8086 Microprocessor

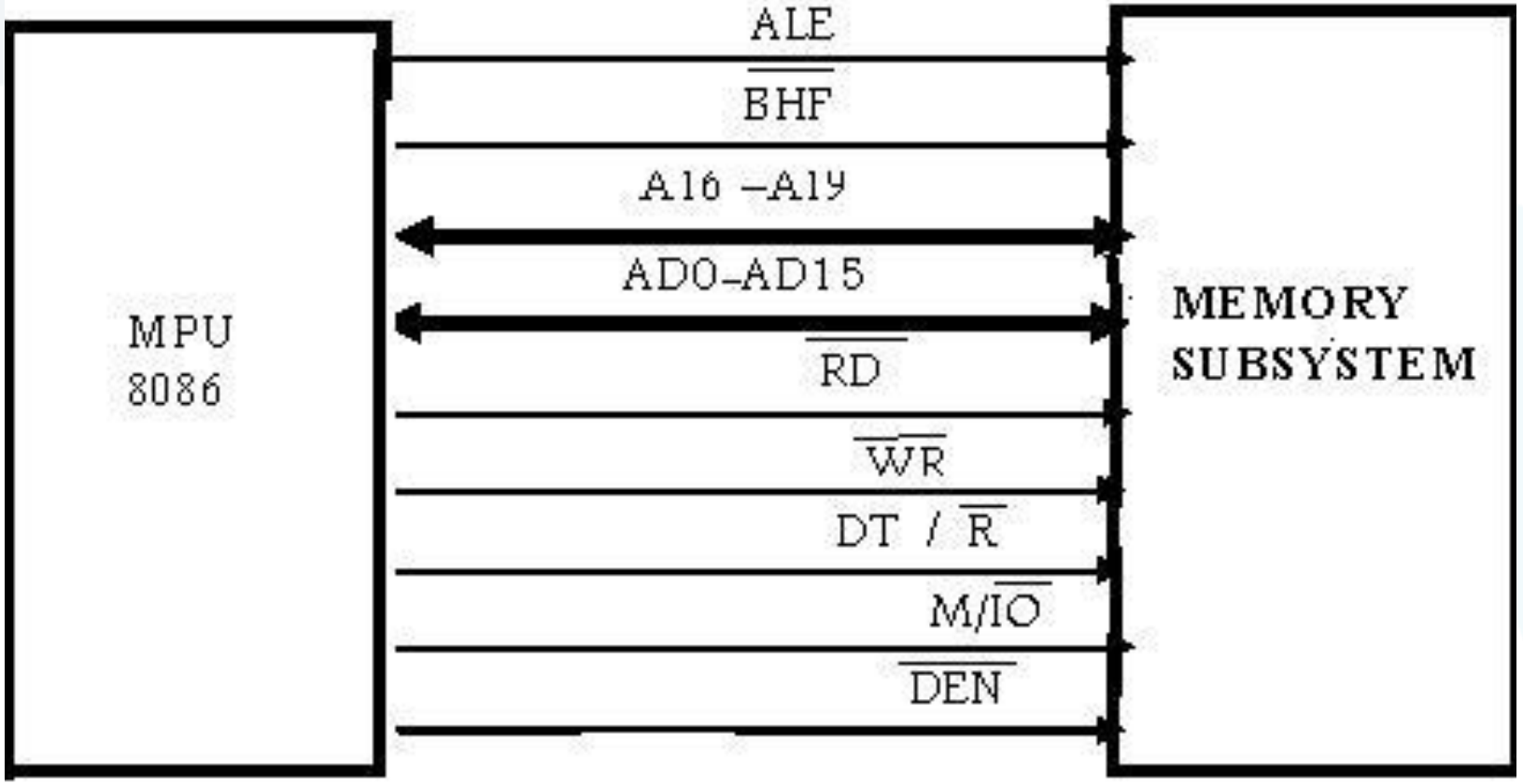
Lecture 5

Prof Dr. Eng. Mariam M. Saii

المخطط الصندوقي لملائمة الذاكرة مع المعالج 8086

- يملك المعالج 8086 حيز ذاكرة 1 MB سواء كان في نظام النمط Min أو النمط Max.
- ملائمة النظام الجزئي للذاكرةmemory subsystem مختلف في كل من هذين النمطين يوضح حالة ملائمة الذاكرة في نظام النمطMin:

المخطط الصندوقي لملائمة الذاكرة مع المعالج 8086



المخطط الصندوقي لملاءمة الذاكرة في نظام النمط Min.

ملاءمة الذاكرة مع المعالج 8086

- جميع إشارات التحكم بالذاكرة يتم إنتاجها من قبل المعالج:

ALE , $\overline{BHE}$, $\overline{RD}$, WR , M / $\overline{IO}$, DT/ $\overline{R}$, $\overline{DEN}$

هذه الإشارات مطلوبة لإعلام النظام الجزئي للذاكرة متى يحمل الممر

- عنواناً فعلياً،
- في أي اتجاه ستنتقل لمعطيات على الممر،
- متى تكون معطيات الكتابة على الممر شرعية،
- متى توضع معطيات القراءة على الممر.

ملاءمة الذاكرة مع المعالج 8086

BHE/S7	تمكين البنك العلوي / الحالة	مخرج ثلاثي الحالة
RD	التحكم بعملية القراءة	مخرج ثلاثي الحالة
WR	التحكم بعملية الكتابة	مخرج ثلاثي الحالة
M / IO	التحكم بالذاكرة / أجهزة I/O	مخرج ثلاثي الحالة
DT/ R	إرسال / استقبال المعطيات	مخرج ثلاثي الحالة
DEN	تمكين المعطيات	مخرج ثلاثي الحالة
ALE	تمكين التقاط العنوان	مخرج

إشارات التحكم

- مزودة لدعم ملائمات الذاكرة وأجهزة I/O للمعالج 8086
- ALE: إشارة تمكين التقاط العنوان address latch enable وهي عبارة عن نبضة 1 منطقي والتي تخبر الدارة الخارجية متى تكون كلمة العنوان الشرعية موجودة على الممر، حيث يجب التقاط هذا العنوان في دارة خارجية عند الجبهة الهابطة (من 1 إلى 0) للنبضة ALE

إشارات التحكم

- $\overline{BHE}$/S7: إن الصفر المنطقي على هذا الخط يستعمل كإشارة تمكين البنك العلوي للذاكرة bank high enable من أجل الخانة ذات الأهمية العظمى لنصف ممر المعطيات (D15- D8).
- M/$\overline{IO}$: هذا الطرف يخبر دارة المعالج اذا كانت الذاكرة أو أجهزة الدخل/ خرج مسيطرة على الممر. عند المستوي المنطقي "1" تسيطر الذاكرة على الممر وعند المستوي المنطقي "0" تسيطر أجهزة الدخل/ خرج.

إشارات التحكم

- $\overline{DT}/R$: إن اتجاه نقل المعطيات على الممر يتحدد بواسطة المستوي المنطقي لخط إرسال/ استقبال المعطيات data transmit / receive، فعندما يكون هذا الخط على المستوي المنطقي "1" أثناء فترة نقل المعطيات لدورة الممر، فإن الممر يكون في نمط الاستقبال وهذا مطابق لقراءة المعطيات من الذاكرة أو إدخالها من منفذ الدخل /خرج إلى المعالج.
- $\overline{DR}$: يشير هذا الخط إلى أن المعالج ينجز قراءة معطيات من الممر وأثناء القراءة هناك إشارة تحكم أخرى هي DEN .

إشارات التحكم

- $\overline{DEN}$: هذه الإشارة تخبر الجهاز الخارجي متى يتوجب عليه وضع المعطيات على الممر لذلك سميت إشارة تمكين المعطيات data enable.
- $\overline{WR}$: هذه الإشارة تخبر الأجهزة الخارجية بأن معطيات الخرج موجودة على الممر من أجل كتابتها.

حيز العنونة وتنظيم المعطيات

- المعالج 8086يملك ممر عنونة مؤلفاً من 20خانة
- العنوان الفيزيائي للذاكرة يتغير من 00000H وحتى FFFFFH.
- والذاكرة منظمة كبايتات متعاقبة وأي بايتين متعاقبين.
- البايت ذو العنوان السفلي هو البايت ذو الأهمية الدنيا للكلمة والبايت ذا العنوان العلوي هو البايت ذو الأهمية العظمى للكلمة.
- كلمة المعطيات يمكن تخزينها في حد العنوان الفردي أو الزوجي،

حيز العنونة وتنظيم المعطيات

- الخانة A_0 تعرف نوع حد العنوان.
- إذا كانت $A_0=0$ فالكلمة مخزنة في حد العنوان الزوجي، وهذا يعني أن الكلمة في حد العنوان الزوجي تطابق بايتين متعاقبين فيهما البايت ذو الأهمية الدنيا متواجد في العنوان الزوجي.

00725 H	55
00724 H	02

- أما إذا كانت $A_0=1$ فتكون الكلمة مخزنة في حد العنوان الفردي للذاكرة.

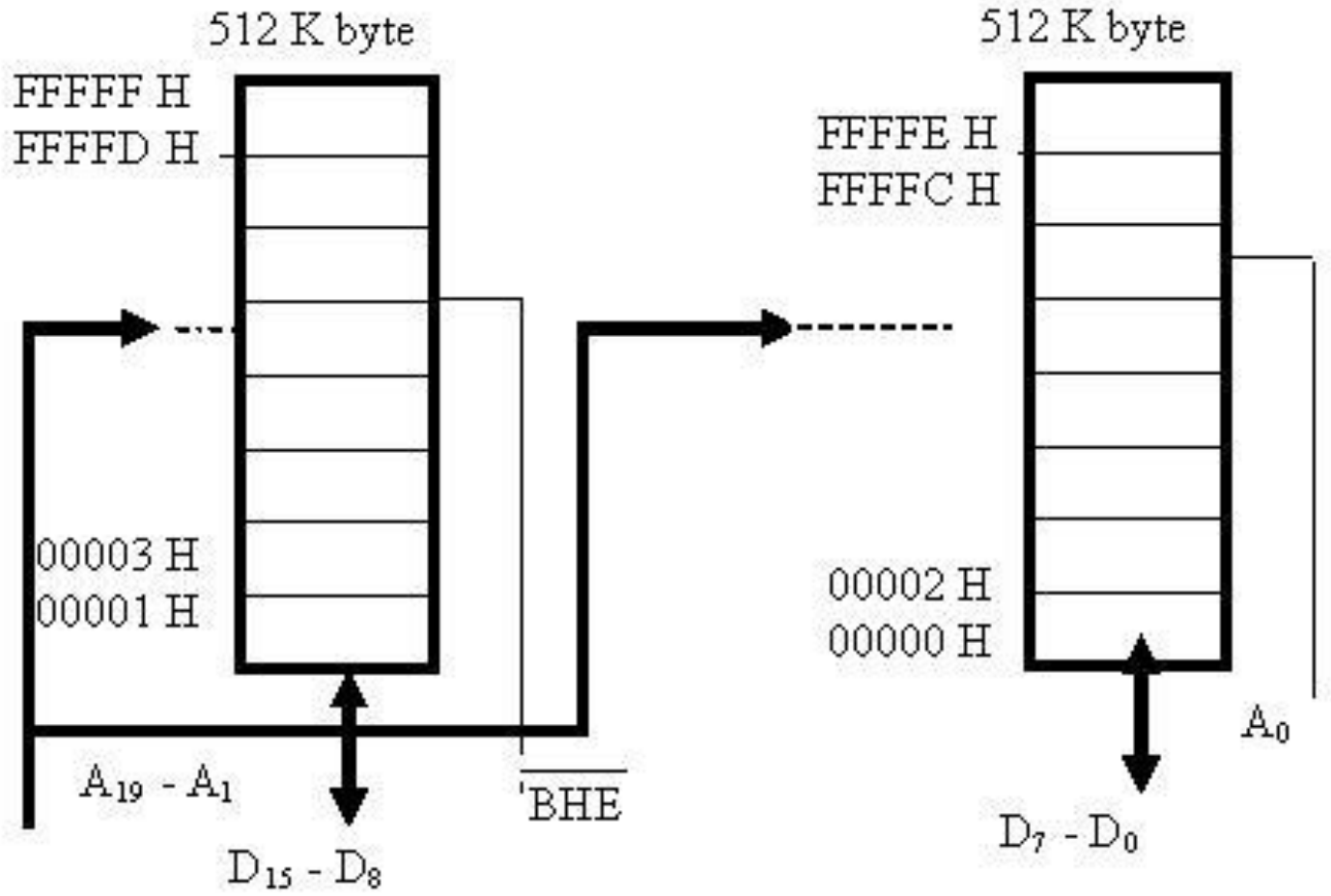
حيز العنونة وتنظيم المعطيات

- إن جميع المعطيات (البايتات والكلمات) في حدود العنوان الزوجي يمكن الوصول إليها من قبل المعالج في دورة ممر واحدة،
- أما الكلمات الموجودة في حدود العنوان الفردي فتحتاج إلى دورتي ممر للوصول
- لإنقاص دورات الممر لإحضار التعليمة التي يتم تناولها ككلمات فإنها دائماً تخزن في حدود العنوان الزوجي.

التنظيم الصلب لحيز عنونة الذاكرة:

- حيز عنونة الذاكرة للمعالج 8086 يتحقق كاثنين من البنوك المستقلة، كل منها ذو 512K byte وهما البنك السفلي (الزوجي) والبنك العلوي (الفردي).
- إن بايتات المعطيات المترافقة مع العناوين الزوجية (00000 H, 00002H, 00004H ...) تكمن في البنك السفلي
- بايتات المعطيات المترافقة مع العناوين الفردية تكمن في البنك العلوي.
- حيث أن خانات العناوين ماعدا A_0 مطبقة على كلا البنكين معاً.
- تستعمل A_0 و BHE كإشارات لاختيار أحد البنكين أو كلاهما،

التنظيم الصلب لحيز عنونة الذاكرة:



التنظيم الصلب لحيز عنونة الذاكرة:

- التعامل مع بايت في حد العنونة الزوجية فإنه يجب أن يكون عنوان هذا البايت زوجياً أي يجب بلوغ البنك السفلي.
  - A_0=0 (الخانة ذات الأهمية الدنيا من العنوان)لتمكين البنك السفلي للذاكرة
  - BHE=1 لعدم تمكين البنك العلوي،
  - المعطيات يتم نقلها من وإلى البنك السفلي على الخطوط D_0 -D_7 .

التنظيم الصلب لحيز عنونة الذاكرة:

- التعامل مع بايت في حد العنونة الفردية فإنه يجب أن يكون عنوان هذا البايت فردياً أي يجب بلوغ البنك العلوي.
  - A_0=1 (الخانة ذات الأهمية الدنيا من العنوان)لعدم تمكين البنك السفلي للذاكرة
  - BHE=0 لتمكين البنك العلوي،
  - المعطيات يتم نقلها من وإلى البنك العلوي على الخطوط D_{15} -D_8.

التنظيم الصلب لحيز عنونة الذاكرة:

- التعامل مع كلمة في حد العنونة الزوجية فإن كلا البنكين سيتم الوصول اليهما في نفس الوقت.
  - A_0=0 (الخانة ذات الأهمية الدنيا من العنوان)لتمكين البنك السفلي للذاكرة
  - BHE=0 لتمكين البنك العلوي،
  - المعطيات يتم نقلها على الخطوط D_0- D_{15}.
  - بايتات الكلمة متراصفة وتأخذ دورة ممر واحدة.

التنظيم الصلب لحيز عنونة الذاكرة:

- التعامل مع كلمة في حد العنونة الفردية يتم في دورتي ممر .
  - الأولى:
    - A_0=1 (الخانة ذات الأهمية الدنيا من العنوان) لعدم تمكين البنك السفلي للذاكرة
    - BHE=0 لتمكين البنك العلوي،
    - المعطيات يتم نقلها من وإلى البنك العلوي على الخطوط D_{15} -D_8.
  - الثانية:
    - مزايدة العنوان بمقدار 1 لتصبح A_0=0 تمكين البنك السفلي
    - BHE=1 لعدم تمكين البنك العلوي،
    - المعطيات يتم نقلها من وإلى البنك السفلي على الخطوط D_7 -D_0.

المكدس، مسجل مقطع المكدس SS، مؤشر المكدس SP

- أثناء عمليات المقاطعة ومناداة البرنامج الفرعي يتم دفع محتويات بعض المسجلات الداخلية المعنية للمعالج إلى قسم من الذاكرة يدعى المكدس،
- تبقى هذه المحتويات هناك بشكل مؤقت.
- عند إكمال روتين خدمة المقاطعة أو البرنامج الفرعي يتم سحب هذه القيم من المكدس ووضعها في نفس المسجل الداخلي حيث كان أصلاً يحويها.
- عندما تحدث المقاطعة فإن المعالج وبشكل أوتوماتيكي يدفع محتويات مسجل الأعلام، والقيمة الحالية في CS، والقيمة الحالية في الـ IP إلى المكدس.

المكدس، مسجل مقطع المكدس SS، مؤشر المكدس SP

- إن القيمة في مؤشر المكدس تبدأ بـ FFFFH عند بدء تشغيل المعالج.
- بما أن المعطيات المنقولة من وإلى المكدس عادة هي كلمات فإننا نتصور المكدس على شكل حجرات ذات 2 بايت،
- كما أنه من الضروري أن تكون جميع حجرات المكدس في حدود الكلمات الزوجية (علل) .
- إن المكدس ينمو نحو الأسفل في الذاكرة انطلاقا من قاعدة المكدس التي تطابق العنوان الفيزيائي المشتق من SS و القيمة FFFF H إلى نهاية المكدس التي تطابق العنوان الفيزيائي المشتق من SS و العنوان الفعال 0000 H .

المكدس، مسجل مقطع المكدس SS، مؤشر المكدس SP

- عندما تسحب القيمة من قمة المكدس فان العكس لهذا التسلسل يحدث.
- إن العنوان الفيزيائي المعرف بواسطة SS و SP دائما يشير إلى حجرة القيمة الأخيرة المدفوعة إلى المكدس
- حيث إن محتوياتها تسحب أولا من المكدس إلى المسجل المعني ضمن المعالج ثم يزداد SP بمقدار2.
- إن مبدأ عمل المكدس هو: LIFO.

المكدس، مسجل مقطع المكدس SS، مؤشر المكدس SP

- عندما تسحب القيمة من قمة المكدس فان العكس لهذا التسلسل يحدث.
- إن العنوان الفيزيائي المعرف بواسطة SS و SP دائما يشير إلى حجرة القيمة الأخيرة المدفوعة إلى المكدس
- حيث إن محتوياتها تسحب أولا من المكدس إلى المسجل المعني ضمن المعالج ثم يزداد SP بمقدار2.
- إن مبدأ عمل المكدس هو: LIFO.

مثال

- بفرض SS= 0105 H ،
- هذا يعطي عنوان قاعدة المكدس (BOS):

A_{BOS} = (SS)0 + FFFF = 01050 + FFFF= 1104F H

وذلك SP= FFFF H عند بداية الاقلاع

- SP=0008 H
- لذلك فالقمة الحالية للمكدس هي في العنوان الفيزيائي:

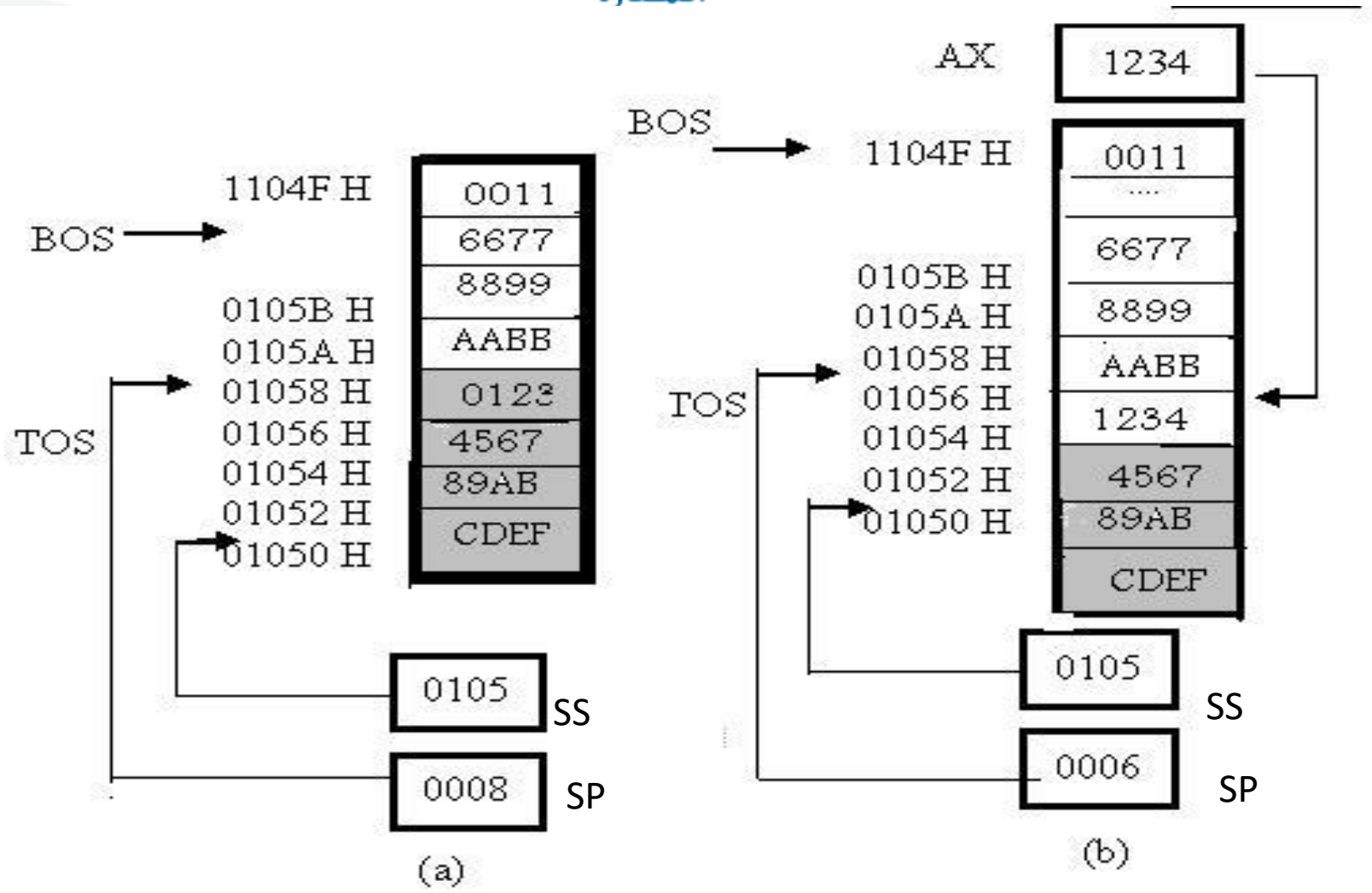
A_{TOS}=(SS) 0+SP=01050+0008=01058 H

- إن حجرات الذاكرة ذات العناوين المحصورة بين القاعدة و القمة تمثل المكدس،

مثال

- إن حجرات الذاكرة ذات العناوين المحصورة بين القاعدة والقمة تمثل المكدس،
- لذلك العناوين ذات القيم الأعلى من قمة المكدس 01058 H تحتوي على معطيات حقيقية للمكدس، بينما المعطيات ذات العناوين الأدنى من قمة المكدس ليست معطيات حقيقية للمكدس.

مثال


1104F H
BOS
0011
6677
8899
0105B H
0105A H
AABB
01058 H
0123
TOS
01056 H
4567
01054 H
89AB
01052 H
CDEF
01050 H
0105
SS
0008
SP
(a)
AX
1234
BOS
1104F H
0011
....
6677
0105B H
0105A H
8899
01058 H
AABB
TOS
01056 H
1234
01054 H
4567
01052 H
89AB
01050 H
CDEF
0105
SS
0006
SP
(b)

مثال

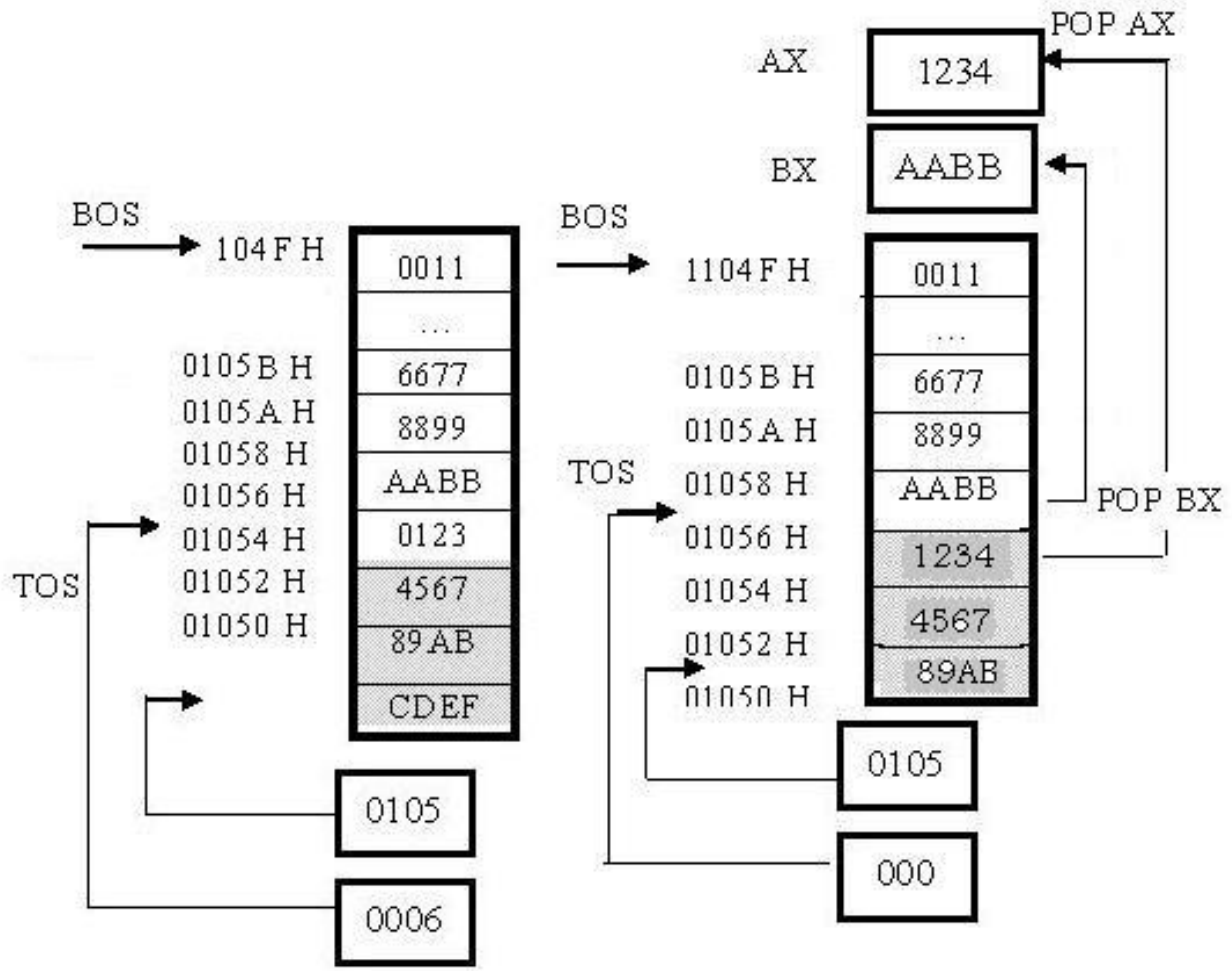
- عند تنفيذ تعليمة PUSH AX . هنا نجد أن محتويات AX هي 1234 H و أن تنفيذ تعليمة PUSH يسبب إنقاص محتويات SP بمقدار 2 و لكنها لا تؤثر على محتويات مقطع المكدس SS لذلك فان الحجرة التالية التي يتم الوصول إليها في المكدس تقابل العنوان 01056 H
- في هذه الحجرة يتم دفع القيمة المخزنة في AX إلي المكدس.
- نلاحظ أن البايت العلوي من المسجل AX (و الذي قيمته تساوي 12H) يكمن الآن في البايت العلوي للكلمة في المكدس و كذلك فالبايت السفلي من المسجل AX (و الذي قيمته تساوي 34 H)يكمن الآن في البايت السفلي للكلمة في المكدس.

مثال

- كيف تصبح حالة المكدس بعد تنفيذ التعليمات:

POP AX

POP BX



مثال

- إذا كانت مسجلات ومواقع الذاكرة في حاسوب يعتمد المعالج 8088 قبل بداية التنفيذ تعطى بالنظام الست عشرية كما يلي:
- ES= 0AA0, DS= 0AA0, SS= 0AA0, CS= AAA0 , BETA=0101
- AX = E265, BX=0014, DX =73A2, CX = 0000, SP = 0148, SI=0110 DI=0130, IP=0140, BP=0110

0AA0:0100	C5	67	A5	00	12	BC	34	BB	F4	72	09	A3	29	01	D4	CE
0AA0:0110	0F	F0	02	D8	F1	FF	7C	DD	90	3C	9B	83	65	19	F6	8A
0AA0:0120	A7	CC	9A	BD	00	10	2C	59	1C	90	0E	13	8C	39	58	C6
0AA0:0130	76	D7	CA	FF	D8	71	18	24	40	A8	2C	76	93	C5	0F	9E
0AA0:0140	82	A6	54	2E	9A	20	0A	98	E4	A0	0E	25	38	29	2C	8A

مثال

Sub program	AX	BX	CX	DX	SP	CF	ZF	SF
MOV AX , 0 H	0000	0014	0000	73A2	0148	-	-	-
ADD AX , [SI]	F00F	0014	0000	73A2	0148	0	٠	٠
MOV [DI], AX	F00F	0014	0000	73A2	0148	0	٠	٠
MOVDX,[BX]. BETA	F00F	0014	0000	FFF1	0148	0	٠	٠
ADC AX,DX	F000	0014	0000	FFF1	0148	1	٠	٠
MOV CX , 2	F000	0014	000٢	FFF1	0148	1	٠	٠
MUL CX	E000	0014	000٢	FFF1	0148	1	٠	٠
DIV BL	0433	0014	000٢	FFF1	0148	1	0	0
PUSH AX	0433	0014	000٢	FFF1	0146	1	0	0
LEA BX,BETA [DI]	0433	0230	0002	FFF1	0146	1	0	0