



Computer Architecture 1

توازي خط الأنابيب Pipelining

Lecture 7

Prof Dr. Eng. Mariam M. Saii

What is Pipelining?



ما هو نوازي خط الأنابيب؟

التوازي خط الأنابيب **pipelining** هو تقنية تطبيق مفاتيح تستخدم من أجل بناء معالجات سريعة. تسمح هذه التقنية بالتراكب الزمني التنفيذي لعدة تعليمات.

يشبه توازي السير المتحرك في المعالج خطوط تجميع السيارات ونطلق على كل محطة تجميع تسمية مرحلة أنبوبية **pipe stage** أو قطاع أنبوبي **pipe segment**.

Pipelining is Natural!



طبيعة توازي خط الأنابيب غرفة غسيل الملابس

- لدى كل من أمل و بسام و كرم و دعد حمل من الملابس لغسلها و تجفيفها و طيها و ترتيبها في الخزانة



- لكل حمل من الأحمال
30 minutes تأخذ مرحلة الغسيل
- تأخذ مرحلة التجفيف 30 minutes
- تأخذ مرحلة الطوي 30 minutes
- تأخذ مرحلة الترتيب 30 minutes

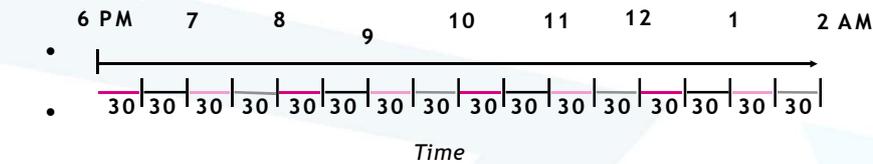


<https://manara.edu.sy/>

If we do laundry sequentially...



اتمام عمليات الغسيل بشكل تسلسلي



Task Order



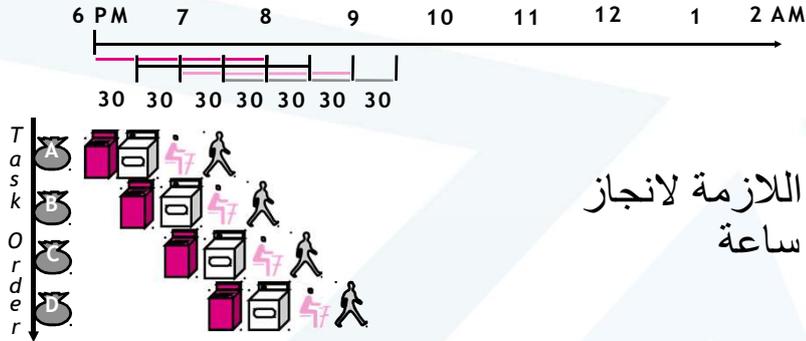
نحتاج الى 8 ساعات لينتهي الجميع من اتمام عمليات الغسيل
هل يمكن توفير الوقت؟

<https://manara.edu.sy/>

To Pipeline, We Overlap Tasks



تداخل المهام من أجل توازي
الانبوب



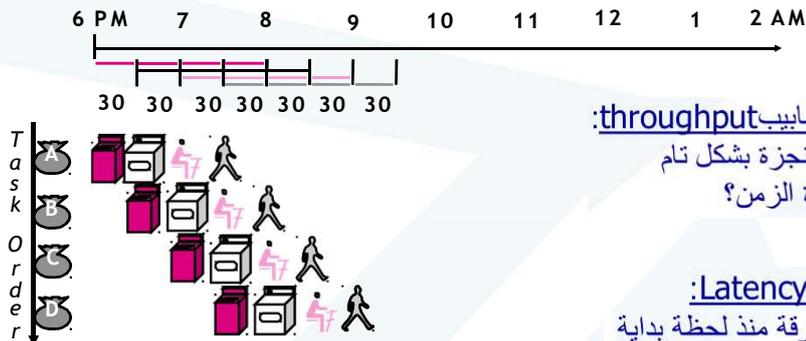
أصبحت المدة اللازمة لانجاز
المراحل 3.5 ساعة

<https://manara.edu.sy/>

To Pipeline, We Overlap Tasks



تداخل المهام من أجل توازي
الانبوب



إنتاجية توازي خط الأنابيب throughput:

عدد الأعمال المنجزة بشكل تام
في واحدة الزمن؟

تأخير خط الأنابيب Latency:

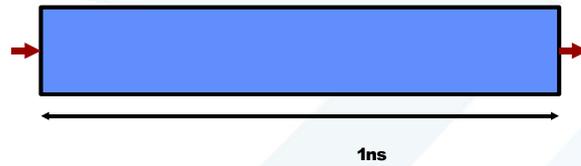
المدة الزمنية المستغرقة منذ لحظة بداية
العملية حتى تمامها (نهايتها)؟

<https://manara.edu.sy/>

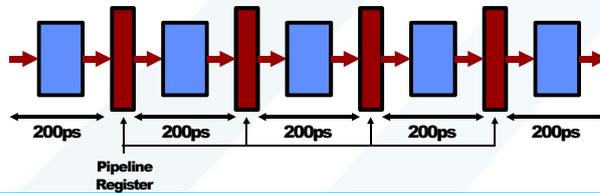
Pipelining a Digital System



Key idea: break big computation up into pieces تقسيم العمليات الكبيرة الى أجزاء



Separate each piece with a pipeline register فصل كل جزء بمسجل توازي انبوب

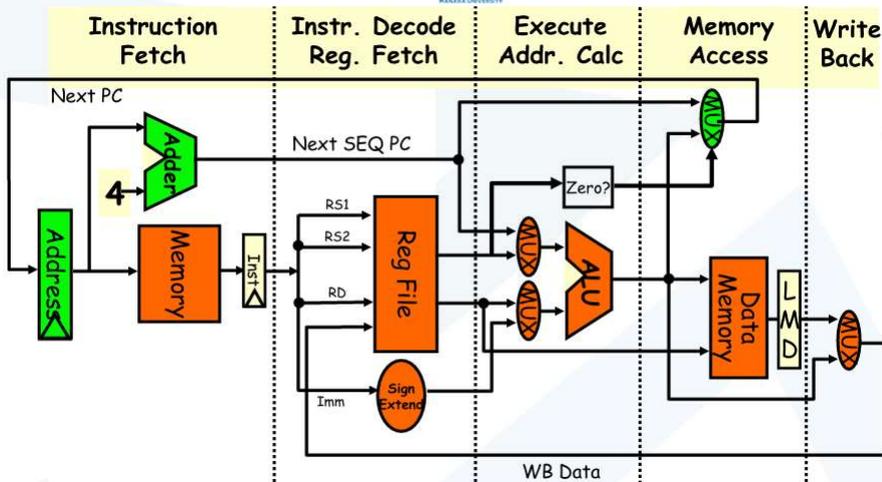


<https://manara.edu.sy/>

5 Steps of MIPS Data path



المراحل الخمسة التي تمر بها المعالجات متعددة التعليمات في الثانية MIPS



<https://manara.edu.sy/>

Pipeline Stages



مراحل توازي خط الانبوب

IF: Instruction Fetch
ID: Instruction Decode
EX: Execution
MEM: Memory Access
WB: Write Back

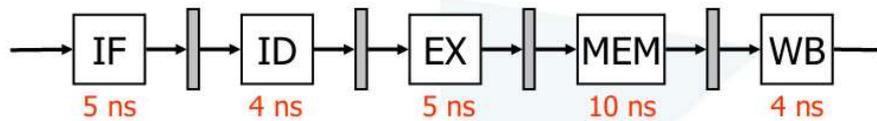
يمكن تقسيم مراحل توازي خط الانبوب الى

<https://manara.edu.sy/>

Throughput and Latency



تأخير وإنتاجية توازي الانبوب



نريد أن نحدد من أجل توازي خط الأنابيب بأزمان التأخير المذكورة أعلاه ماهي إنتاجية التوازي الأنبوبي *pipeline throughput* وماهو التأخير الأنبوبي *pipeline latency*.

يقاس Pipeline throughput بعدد التعليمات المنتهية في الثانية

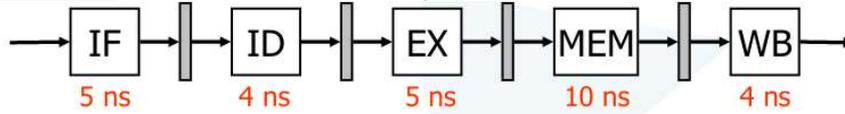
يقاس Pipeline latency بالمدة المستغرقة لتنفيذ تعليمة وحيدة.

<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب



يقيس تأخير المرحلة الأنبوبية Pipeline throughput تواتر تنفيذ الأنبوب للتعليمات.

$$T = 1instr / \max[lat(IF), lat(ID), lat(EX), lat(MEM), lat(WB)]$$

$$= 1instr / \max[5ns, 4ns, 5ns, 10ns, 4ns]$$

$$= 1instr / 10ns$$

Pipeline latency تأخير التوازي الأنبوبي: يقيس الفترة الزمنية اللازمة

لإتمام تنفيذ تعليمة بالتوازي الأنبوبي:

$$L = lat(IF) + lat(ID) + lat(EX) + lat(MEM) + lat(WB)$$

$$= 5ns + 4ns + 5ns + 10ns + 4ns = 28ns$$

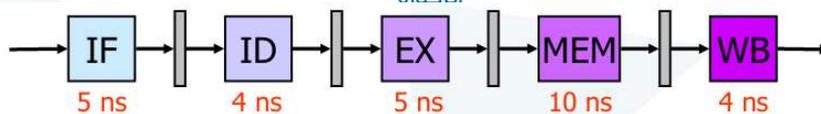
Is this right?

<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب



نضيف التأخيرات الزمنية لكل مرحلة فنحصل على التأخير الكلي للتعليمة.

يحسب التأخير لكل تعليمة على حدة

$$I1 \quad \text{IF} \quad \text{ID} \quad \text{EX} \quad \text{MEM} \quad \text{WB} \quad L(I1) = 28ns$$

$$I2 \quad \text{IF} \quad \text{ID} \quad \text{EX} \quad \text{MEM} \quad \text{WB} \quad L(I2) = 33ns$$

$$I3 \quad \text{IF} \quad \text{ID} \quad \text{EX} \quad \text{MEM} \quad \text{WB} \quad L(I3) = 38ns$$

$$I4 \quad \text{IF} \quad \text{ID} \quad \text{EX} \quad \text{MEM} \quad \text{WB}$$

$$L(I5) = 43ns$$

المشكلة التي تظهر هي عدم ثبات زمن التأخير.

ينجم ذلك عن عدم تساوي تأخير المراحل

والحل هو جعل جميع المراحل تأخذ نفس الزمن وذلك

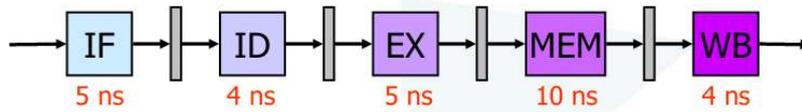
بجعل زمن كل مرحلة يساوي زمن المرحلة الأطول.

<https://manara.edu.sy/>

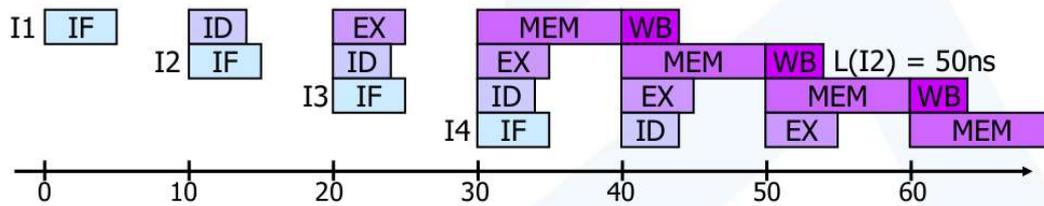
Throughput and Latency



تأخير وانتاجية توازي الانبوب



عندها يتحدد التأخير الكلي بزمان تأخير المرحلة الأبطأ



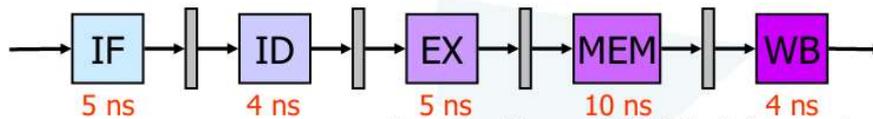
$$L(I1) = L(I2) = L(I3) = L(I4) = 50\text{ns}$$

<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب



كم يستغرق تنفيذ 20000 instructions

في الحالة المبينة بإهمال الأزمان الانتقالية مثل التفريع Branches وأخطاء النفاذ إلى الذاكرة المخبئية cache misses , والأخطار hazards. يكون الزمن:

$$ExecTime_{pipe} = 20000 \times 10\text{ns} = 200000\text{ns} = 200\mu s$$

بينما يستغرق نفس النموذج دون التوازي الأنبوبي:

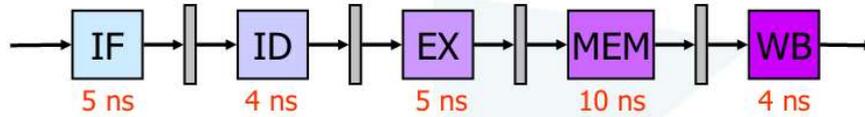
$$ExecTime_{non-pipe} = 20000 \times 28\text{ns} = 560000\text{ns} = 560\mu s$$

<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب



نسبة التسريع هي:

$$Speedup_{pipe} = \frac{ExecTime_{non-pipe}}{ExecTime_{pipe}} = \frac{560 \mu s}{200 \mu s} = 2.8$$

والسؤال هو كيف نستطيع تحسين التصميم الأنبوبي؟

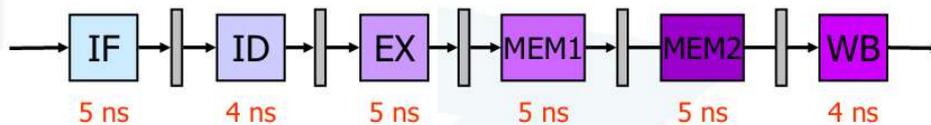
نحتاج إلى تقليل الاختلاف في طول المراحل الأنبوبية لنزيد نسبة التسريع

<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب



باضافة مرحلة أنبوبية جديدة مع المحافظة على زمن تنفيذ التعليمة الواحدة نقل تأخير نفاذ المرحلة الأعظمي إلى النصف.

$$\begin{aligned} T &= 1instr / \max(lat(IF), lat(ID), lat(EX), lat(MEM1), lat(MEM2), lat(WB)) \\ &= 1instr / \max(5ns, 4ns, 5ns, 5ns, 5ns, 4ns) \\ &= 1instr / 5ns \end{aligned}$$

تأخير تنفيذ التعليمة الواحدة انطلاقاً من تأخير نفاذ المرحلة هو:

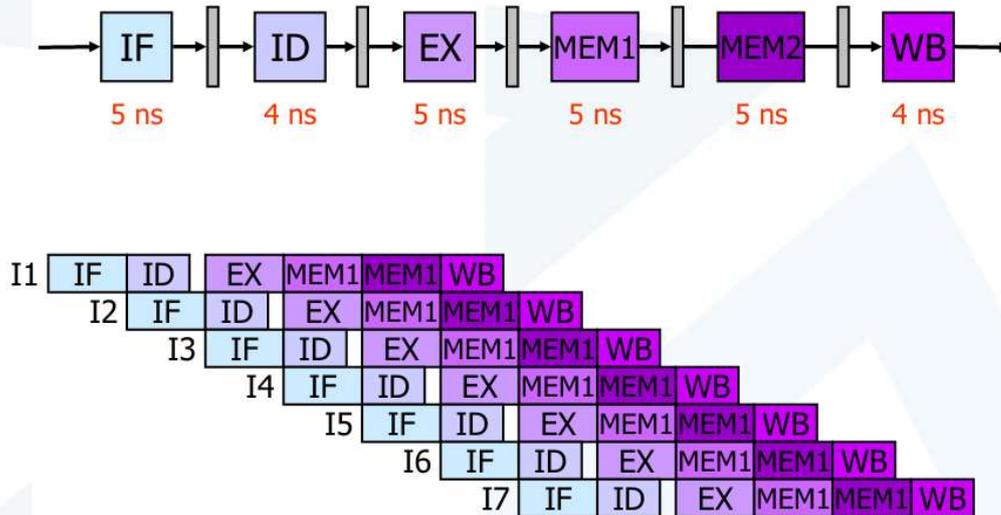
$$L = 6 \times 5ns = 30ns$$

<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب

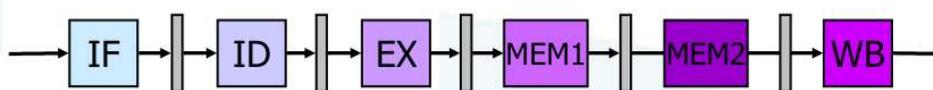


<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب



ماهو الزمن اللازم لتنفيذ 20000 instructions في التوازي الأنبوبي المبين أعلاه؟ (أهمل الضياع bubbles الناجم عن branches, cache misses, .. إلخ)

$$ExecTime_{pipe} = 20000 \times 5ns = 100000ns = 100\mu s$$

نسبة التسريع التي نحصل عليها هي:

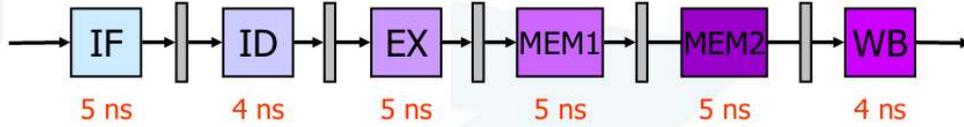
$$Speedup_{pipe} = \frac{ExecTime_{non-pipe}}{ExecTime_{pipe}} = \frac{560\mu s}{100\mu s} = 5.6$$

<https://manara.edu.sy/>

Throughput and Latency



تأخير وانتاجية توازي الانبوب



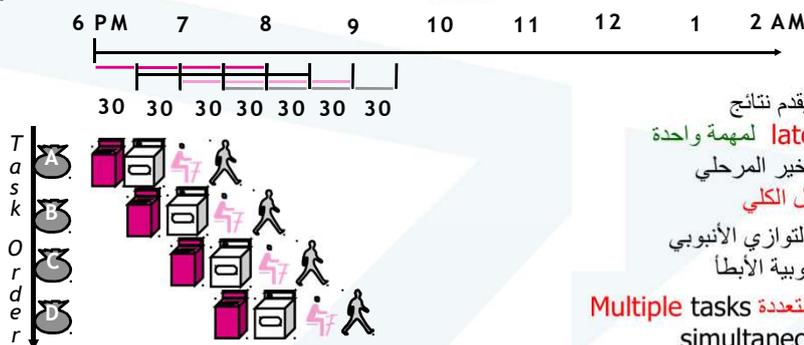
نستنتج مما سبق:

١- ضرورة موازنة التأخير في كل مرحلة من مراحل التوازي الأنبوبي

٢- تأخير النفاذ الأنبوبي Throughput هو $1/\max(\text{delay})$.

٣- التأخير Latency هو $N \times \max(\text{delay})$ ، حيث N هي عدد مراحل التوازي الأنبوبي.

<https://manara.edu.sy/>

To Pipeline, We
Overlap Tasksتداخل المهام من أجل توازي
الانبوب

• التوازي الأنبوبي لا يقدم نتائج مناسبة للتأخير **latency** لمهمة واحدة ولكن يقدم تحسين للتأخير المرحلي **throughput** للحمل الكلي

• يتم ضبط إيقاع التوازي الأنبوبي وفقاً للمرحلة الأنبوبية الأبطأ

• تعالج المهام المتعددة **Multiple tasks simultaneously** بنفس الوقت

• التسريع الكلي يتناسب مع عدد مراحل التوازي الأنبوبي

• الطول غير المتوازن للمراحل الأنبوبية يقلل نسبة زيادة السرعة

<https://manara.edu.sy/>

Example of Pipe Processing



مثال توازي عمليات

لانجاز عملية الضرب ثم عملية الجمع سيتم حفظ كل جزء في مسجل

$$A_i * B_i + C_i \quad \text{for } i = 1, 2, 3, \dots, 7$$

يتم تنفيذ كل تعليمة فرعية في جزء داخل خط الأنابيب. يحتوي كل جزء على مسجل واحد أو اثنين ودائرة توافقية العمليات الفرعية التي يتم تنفيذها في كل قسم هي كما يلي:

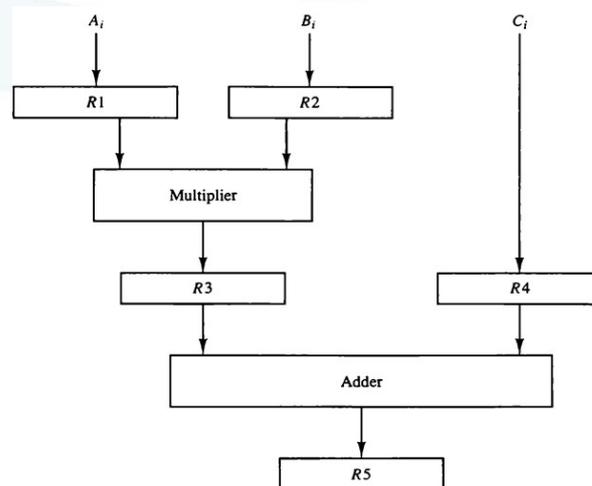
- $R1 \leftarrow A_i, R2 \leftarrow B_i$ Input A_i and B_i
- $R3 \leftarrow R1 * R2, R4 \leftarrow C_i$ Multiply and input C_i
- $R5 \leftarrow R3 + R4$ Add C_i to product

<https://manara.edu.sy/>

Example of Pipe Processing



مثال عملية توازي انبوب



<https://manara.edu.sy/>

Content of Registers in Pipeline



مثال محتوى المسجلات في عملية توازي انبوب

Clock Pulse Number	Segment 1		Segment 2		Segment 3
	R1	R2	R3	R4	R5
1	A_1	B_1	—	—	—
2	A_2	B_2	$A_1 * B_1$	C_1	—
3	A_3	B_3	$A_2 * B_2$	C_2	$A_1 * B_1 + C_1$
4	A_4	B_4	$A_3 * B_3$	C_3	$A_2 * B_2 + C_2$
5	A_5	B_5	$A_4 * B_4$	C_4	$A_3 * B_3 + C_3$
6	A_6	B_6	$A_5 * B_5$	C_5	$A_4 * B_4 + C_4$
7	A_7	B_7	$A_6 * B_6$	C_6	$A_5 * B_5 + C_5$
8	—	—	$A_7 * B_7$	C_7	$A_6 * B_6 + C_6$
9	—	—	—	—	$A_7 * B_7 + C_7$

<https://manara.edu.sy/>

Space Time Diagram of Pipeline

	1	2	3	4	5	6	7	8	9
Segment: 1	T_1	T_2	T_3	T_4	T_5	T_6			
2		T_1	T_2	T_3	T_4	T_5	T_6		
3			T_1	T_2	T_3	T_4	T_5	T_6	
4				T_1	T_2	T_3	T_4	T_5	T_6

→ Clock cycles

<https://manara.edu.sy/>